

ION IMPLANTING LAYER FOR SIC SEMICONDUCTOR AND MANUFACTURING METHOD THEREFOR

Publication number: JP2002261041

Publication date: 2002-09-13

Inventor: KIMOTO TSUNENOBU; SHIOMI HIROSHI;
MATSUNAMI HIROYUKI

Applicant: SHIKUSUON KK; KANSAI ELECTRIC POWER CO;
SUMITOMO ELECTRIC INDUSTRIES; MITSUBISHI
CORP

Classification:

- international: C30B29/36; H01L21/265; H01L21/28; H01L21/329;
H01L21/336; H01L21/338; H01L29/12; H01L29/78;
H01L29/812; H01L29/861; C30B29/10; H01L21/02;
H01L29/02; H01L29/66; (IPC1-7): H01L21/265;
C30B29/36; H01L21/28; H01L21/329; H01L21/336;
H01L21/338; H01L29/78; H01L29/812; H01L29/861

- European:

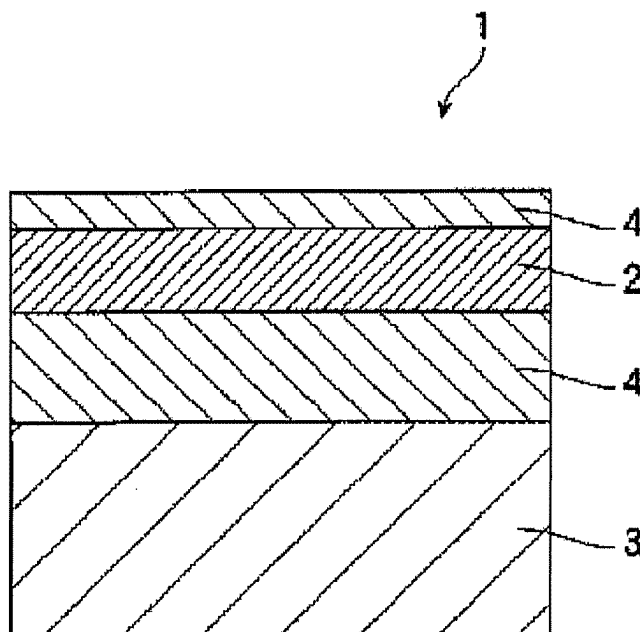
Application number: JP20010060380 20010305

Priority number(s): JP20010060380 20010305

Report a data error here

Abstract of JP2002261041

PROBLEM TO BE SOLVED: To provide an ion implanting layer where the disturbance of crystal and the roughness of a crystal surface is reduced. **SOLUTION:** The ion implanting layer 2 of a SiC semiconductor 1 extends to the face of a plane direction having the off angle of an angle α within 10 deg. from the {03-38} face of 4H-type SiC.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-261041
(P2002-261041A)

(43) 公開日 平成14年9月13日 (2002.9.13)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)	
H 0 1 L 21/265	6 0 2	H 0 1 L 21/265	6 0 2 A	4 G 0 7 7
		C 3 0 B 29/36	A	4 M 1 0 4
C 3 0 B 29/36		H 0 1 L 21/28	A	5 F 1 0 2
H 0 1 L 21/28		29/78	6 5 2 T	5 F 1 4 0
29/78		21/265	Z	
審査請求 未請求 請求項の数 7 O L (全 23 頁) 最終頁に続く				

(21) 出願番号 特願2001-60380(P2001-60380)

(22) 出願日 平成13年3月5日 (2001.3.5)

(71) 出願人 599012835
株式会社シクスオン
京都府京都市東山区下河原通八坂鳥居前下
ル下河原町463番地の1 グレーシイ京都
東山707号
(71) 出願人 000156938
関西電力株式会社
大阪府大阪市北区中之島3丁目3番22号
(71) 出願人 000002130
住友電気工業株式会社
大阪府大阪市中央区北浜四丁目5番33号
(74) 代理人 100088155
弁理士 長谷川 芳樹 (外3名)

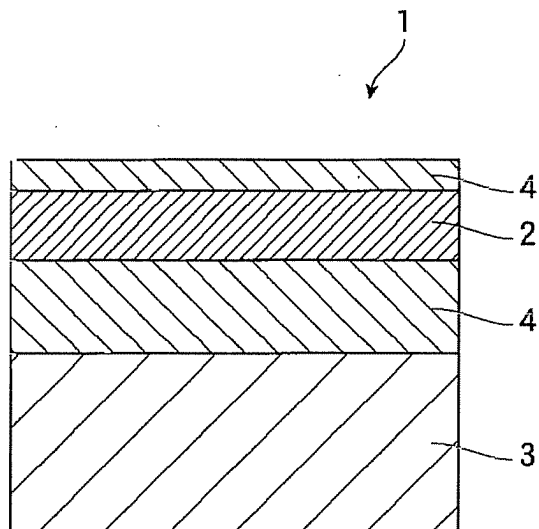
最終頁に続く

(54) 【発明の名称】 SiC半導体のイオン注入層及びその製造方法

(57) 【要約】

【課題】 結晶の乱れ及び結晶表面の荒れを低減させたイオン注入層を提供する。

【解決手段】 本発明に係るSiC半導体1のイオン注入層2は、4H型SiCの{03-38}面から10°以内の角度αのオフ角を有する面方位の面に広がっている。



【特許請求の範囲】

【請求項1】 4H型SiCの{03-38}面から10°以内の角度 α のオフ角を有する面方位の面に広がっていることを特徴とするSiC半導体のイオン注入層。

【請求項2】 前記オフ角 α は、5°以内であることを特徴とする請求項1に記載のSiC半導体のイオン注入層。

【請求項3】 前記オフ角 α は、3°以内であることを特徴とする請求項1に記載のSiC半導体のイオン注入層。

【請求項4】 {03-38}面、又は{03-38}面に対して約10°以内のオフ角 α だけ傾いた面、を露出させたSiC単結晶からなる種結晶上に、4H型ポリタイプのSiC単結晶を成長させるSiC結晶成長工程と、前記SiC結晶成長工程において成長されたSiC結晶にイオンを注入するイオン注入工程と、を備えることを特徴とするイオン注入層製造方法。

【請求項5】 前記SiC結晶成長工程において、{03-38}面から傾けられるオフ角 α は、5°以内であることを特徴とする請求項4に記載のイオン注入層製造方法。

【請求項6】 前記SiC結晶成長工程において、{03-38}面から傾けられるオフ角 α は、3°以内であることを特徴とする請求項4に記載のイオン注入層製造方法。

【請求項7】 前記イオン注入工程によってイオンが注入されたSiC結晶を1000℃以下の温度によって熱処理するアニール工程を、さらに備えることを特徴とする請求項4～6のいずれか1項に記載のイオン注入層製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SiC半導体のイオン注入層及びそのイオン注入層を製造するイオン注入層製造方法に関する。

【0002】

【従来の技術】近年、炭化珪素(SiC)あるいは窒化ガリウム(GaN)等の軽元素で構成される化合物半導体の研究が盛んに行なわれている。これらの化合物半導体は、軽元素によって構成されているため、結合エネルギーが強く、その結果、エネルギーの禁制帯幅(バンドギャップ)、絶縁破壊電界、熱伝導度が大いことが特徴である。このワイドバンドギャップの特徴を活かした、高効率・高耐圧パワーデバイス、高周波パワーデバイス、高温動作デバイスが注目を集めている。これらの半導体デバイスは、イオン注入法によって製造される場合が多い。

【0003】

【発明が解決しようとする課題】しかしながら、従来の

SiC半導体は、{0001}面に対する傾きが10°以内の面方位を有するSiCにイオンを注入して製造されていたが、イオン注入工程においてSiC結晶が乱れるという問題点があった。そして、イオン注入工程において生じた結晶の乱れは、その後のアニール工程においても回復することが困難であった。イオン注入時の結晶の乱れを最小にする手法として、加熱した試料にイオンを注入するホットインプランテーションと呼ばれる方法が採用される場合もあるが、この方法では、イオン注入装置の試料ホルダーを500℃程度の高温に均一に加熱する必要があるため、汎用のイオン注入装置を使用することができない上、イオン注入の後に行なわれる結晶回復のためのアニール工程において、1000℃を超える温度で熱処理する必要がある。こうした熱処理は、予期しない不純物の拡散をもたらすことがあり、また、プロセス途中で必要となる高温の処理は、プロセスの自由度、デバイス設計の自由度を制限することとなる。さらに、高温処理により結晶表面が荒れるという問題点もあった。

【0004】そこで、本発明は上記課題を解決し、結晶の乱れ及び結晶表面の荒れを低減させたイオン注入層、及びイオン注入層製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明に係るSiC半導体のイオン注入層は、4H型SiCの{03-38}面から10°以内の角度 α のオフ角を有する面方位の面に広がっていることを特徴とする。

【0006】このように、イオン注入層が{03-38}面から10°以内の角度 α のオフ角を有する面方位に広がることによって、結晶の乱れが少ないイオン注入層を実現することができる。

【0007】また、上記SiC半導体のイオン注入層は、オフ角 α は5°以内であることが好ましく、さらに、オフ角は3°以内であることが好ましい。イオン注入層が広がっている面の面方位が{03-38}面に近くなるほど、SiC半導体のイオン注入層の結晶の乱れが少なくなる。

【0008】本発明に係るSiC半導体製造方法は、{03-38}面、又は{03-38}面に対して約10°以内のオフ角 α だけ傾いた面、を露出させたSiC単結晶からなる種結晶上に、4H型ポリタイプのSiC単結晶を成長させるSiC結晶成長工程と、SiC結晶成長工程において成長されたSiC結晶にイオンを注入するイオン注入工程と、を備えることを特徴とする。

【0009】このようにSiC結晶成長工程において、{03-38}面、又は{03-38}面に対して約10°以内のオフ角 α だけ傾いた面、を露出させたSiC単結晶からなる種結晶上に4H型ポリタイプのSiC単結晶を成長させたSiC単結晶は、{03-38}面に

対する傾きが 10° 以内の面方位を有する。そして、このSiC単結晶に、イオン注入工程においてイオンを注入することにより、結晶の乱れが少ないSiC半導体を製造することができる。従来は、 $\{0001\}$ 面に対する傾きが 10° 以内の面方位を有するSiCにイオンを注入することによって製造されていたが、 $\{0001\}$ 面は六方最密面であることから、不純物イオンが注入された場合に結晶がストレスを受ける。このため、イオン注入によって結晶格子が大きく乱れる原因となっていた。発明者らは、SiCの面方位について鋭意検討した結果、 $\{03-38\}$ 面、及び $\{03-38\}$ 面に対する傾きが 10° 以内の面方位がイオン注入の際のストレスが少ない面であることを見出した。これは、 $\{03-38\}$ 面は、最密面から離れた面でありながら原子の結合手が比較的周期的に現れている面であるためであると考えられる。従来は、イオン注入工程における結晶の乱れを最小限にするため、ホットインプランテーションと呼ばれる手法が採用されていたが、本発明によれば室温でイオン注入を行なっても、結晶の乱れを低減できるので、従来のように高温処理を行なう必要がなく、結晶表面が荒れるという問題を解消することができる。

【0010】また、上記SiC半導体製造方法は、SiC結晶成長工程において、 $\{03-38\}$ 面から傾けられるオフ角 α は、 5° 以内であることが好ましい。さらに、オフ角は 3° 以内であることが好ましい。すなわち、種結晶の表面が $\{03-38\}$ 面に近くなるほど、成長されるSiC結晶の面方位は $\{03-38\}$ 面に近くなり、SiC半導体の結晶の乱れが少なくなる。

【0011】また、上記SiC半導体製造方法は、イオン注入工程によってイオンが注入されたSiC結晶を 1000°C 以下の温度によって熱処理するアニール工程を、さらに備えることを特徴としても良い。

【0012】本発明によれば、製造されたイオン注入層は結晶の乱れが少ないので、結晶を回復させるアニール工程における熱処理の温度を従来(1000°C)より低く設定することができ、結晶表面の荒れを低減したSiC半導体を実現できる。

【0013】

【発明の実施の形態】以下、図面と共に本発明に係るSiC半導体のイオン注入層及びイオン注入層製造方法の好適な実施形態について詳細に説明する。ここで、格子面の記号の説明をすると、負の指数については、結晶学上、“-”（バー）を数字の上に付けることになっているが、明細書作成の都合上、数字の前に負号を付けることにする。なお、図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。

【0014】（第1実施形態）図1は、第1実施形態に係るイオン注入層2が形成されたSiC半導体1を示す図である。第1実施形態に係るイオン注入層は、窒素（N）イオンが注入されたn型層が4H型SiC層3の

$\{03-38\}$ 面に広がっているイオン注入層2である。

【0015】第1実施形態に係るイオン注入層2の製造方法について説明する。まず、 $4\text{H-SiC}\{03-38\}$ の面方位を有する基板3にアルミ（Al）ドーパ型4H-SiC層4をエピタキシャル成長させる。ここで、用いる基板3は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製する。基板3は全てp型で、ショットキー障壁の容量-電圧特性から求めた実効アクセプタ密度は $5\sim 8\times 10^{18}/\text{cm}^3$ 、厚さは $360\sim 420\mu\text{m}$ である。CVD法によるp型SiC層4の主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.5 sccm 、 C_3H_8 については 0.40 sccm 、 $\text{Al}(\text{CH}_3)_3$ については $8\times 10^{-4}\text{ sccm}$ 、 H_2 については 3.0 slm とし、基板温度 1520°C で90分間成長させる。このような成長条件によって成長されたp型SiC層4のアクセプタ密度は $6\sim 8\times 10^{15}/\text{cm}^3$ 、膜厚は $5\mu\text{m}$ である。

【0016】このようにして作製したp型SiC層4にNイオンを注入し、イオン注入層2を形成する。Nイオン注入は 140 keV 、 80 keV 、 50 keV 、 25 keV の4段階で行い、総ドーズ量は $5\times 10^{14}\sim 2\times 10^{16}/\text{cm}^2$ である。各注入エネルギーのドーズ比を 0.48 （ 140 keV ）、 0.26 （ 80 keV ）、 0.18 （ 50 keV ）、 0.08 （ 25 keV ）とすることによって、深さ約 $0.4\mu\text{m}$ のボックスプロファイルを形成する。イオン注入は室温、あるいは 500°C で行い、注入イオン活性化のための熱処理はアルゴンガス雰囲気中で $1000\sim 1700^\circ\text{C}$ 、30分の条件で行う。

【0017】次に、上記製造方法によって製造されたイオン注入層2の特性について説明する。ここでは、 $\{03-38\}$ 面方位を有するイオン注入層（以下、「 $\{03-38\}$ 面方位イオン注入層」という）2の特性を、 $\{0001\}$ 面から 8° のオフ角を有する面方位に広がるイオン注入層（以下、「 $\{0001\}$ 面方位イオン注入層」という）の特性と比較して説明する。 $\{0001\}$ 面方位イオン注入層の製造方法は、上記した $\{03-38\}$ 面方位イオン注入層2の製造方法と基本的に同じであるが、p型SiC層4を成長させる際に導入する $\text{Al}(\text{CH}_3)_3$ の流量が $2\times 10^{-4}\text{ sccm}$ である点が異なる。

【0018】まず、イオン注入層の結晶性を評価するために、ラザフォード後方散乱（RBS）のチャネリング測定を行った。RBS測定は、エネルギー 2.0 MeV の He^{2+} イオンを用い、散乱角 170° の条件で測定した。図2は、トータルドーズ量 $5\times 10^{15}/\text{cm}^2$ の試料（室温注入、 1500°C のアニール前後）のRBSスペクトルを示す図である。注入直後の状態では $\{000$

1} 面方位イオン注入層、{03-38} 面方位イオン注入層2とも、表面近傍におけるチャネリング時の後方散乱イールド (yield) がランダム散乱時のイールドと一致しており、注入層がほぼ完全な非晶質になっていることが分かる。1500℃のアニールを行った試料では、結晶性が改善され、チャネリング時の散乱イールド (アラインスペクトル) がランダムスペクトルより低下している。しかしながら、その結晶性回復の度合いには大きな面方位依存性が見られた。{0001} 面方位イオン注入層では、1500℃のアニールを施してもアラインスペクトルの散乱イールドはかなり大きく、注入層領域 (表面の約0.4 μm) ではランダムイールドの20~40%にも達する。したがって、{0001} 面方位イオン注入層では、アニール時の再結晶化が不十分で、多くの結晶欠陥が残存することが分かる。実際、この試料を断面透過電子顕微鏡 (TEM) 観察によって分析すると、再結晶化した4H SiC層の中に、3C-SiC粒が混在すること、またこの3C-SiC粒の周辺では4H SiCも一部多結晶化し、多くの粒界や転位が形成されていることが判明した。一方、{03-38} 面方位イオン注入層2では、アニールによってチャネリング時の散乱イールドが非常に小さくなり (ランダム時の1.2%)、未注入試料と同程度まで結晶性が回復していることが分かる。断面TEM観察でも、{03-38} 面方位イオン注入層2では、3C-SiCの混在や粒界、転位の発生が観測されず、優れた再結晶化が進行することが分かった。これは、{0001} 面方位イオン注入層では再結晶化の過程で原子配列が一義的に決まらないサイトが多数存在するために、原子のミスアライメントが多く発生するのに対し、{03-38} 面方位イオン注入層2ではSiC特有の周期的ポテンシャルが表面に現れているために、完全な非晶質からの再結晶化であっても、非常にスムーズに、欠陥の発生を伴わない再結晶化が進むためであると考えられる。

【0019】次に、イオン注入層の電気的性質をファン・デア・ポー (van der Pauw) 法によって評価した。イオン注入層を約10mm角に切りだし、注入層の電気的分離を行うために、その中央部8mm角が残るよう反応性イオンエッチングによってメサ構造を作製した。このメサ構造の4隅にニッケル (Ni: 厚さ180nm) を蒸着し、950℃、20分間の熱処理を行った。この試料のシート抵抗、キャリア密度、移動度をファン・デア・ポー法、およびホール効果測定によって調べた。図3は、室温、あるいは500℃の高温でNイオンを注入し、1500℃でアニールした試料のシート抵抗の注入ドーズ量依存性を示す図である。{0001} 面方位イオン注入層の場合、シート抵抗の最小値は室温注入で710 Ω/□ (ドーズ量: $8 \times 10^{14} / \text{cm}^2$)、500℃の高温注入で420 Ω/□ (ドーズ量: $8 \times 10^{14} / \text{cm}^2$) である。特に、室温注入では、ドーズ量が

$1 \times 10^{15} / \text{cm}^2$ を越えるとシート抵抗が増大してしまう。この原因は、上述のように、注入によって完全な非晶質領域が形成されてしまうと、1500℃のアニールを行っても多くの欠陥が残留して注入イオンの活性化を妨げるからであると考えられる。一方、{03-38} 面方位イオン注入層2では、シート抵抗の最小値は室温注入で120 Ω/□ (ドーズ量: $5 \times 10^{15} / \text{cm}^2$)、500℃の高温注入で86 Ω/□ (ドーズ量: $1 \times 10^{16} / \text{cm}^2$) となり、室温注入、高温注入ともにシート抵抗の大幅な低減が可能であることが分かった。デバイスの工業化を考えると、イオン注入装置の製造、運転コスト、注入プロセス時のスループットの点で室温注入のメリットは大きい。したがって、4H SiC {03-38} 面を用いることによって、室温注入でも低いシート抵抗が得られた意義は非常に大きい。

【0020】次に、ドーズ量を $5 \times 10^{15} / \text{cm}^2$ に固定し、注入層における注入イオンの電気的活性化率のアニール温度依存性を調べた結果を図4に示す。SiC中のNドナーは室温において必ずしも完全にイオン化して自由電子を供給していないので、ホール効果測定を室温から300℃の高温まで行い、出払い領域のシートキャリア密度をドーズ量で割った値を電気的活性化率と定義した。図4から分かるように{0001} 面方位イオン注入層では、アニール温度を1700℃まで上昇させても活性化率はあまり高くない。特に、室温注入の場合には、活性化率が10%以下に留まっている。しかしながら、{03-38} 面方位イオン注入層2では、室温注入でも、高い活性化率が得られることが分かる。室温注入、1200℃アニールの試料でも84%という高い活性化率を達成でき、1500℃アニールを施すことによってほぼ100%の活性化率が得られる。ちなみに、室温注入、1200℃アニールの試料と比較すると、{0001} 面方位イオン注入層ではシート抵抗が2230 Ω/□、{03-38} 面方位イオン注入層2ではシート抵抗が180 Ω/□となり、一桁以上の改善が見られた。{03-38} 面方位イオン注入層2では、再結晶化の速度が非常に速く、1200℃程度の比較的低温でも良好な結晶性回復特性を示すものと思われる。このように、{03-38} 面方位イオン注入層2を用いると、低温プロセスで十分低抵抗のn型層を形成でき、かつオーム性電極の接触抵抗率も低減できるので、pinダイオードのカソード、MOSFET、MESFETやJFETなどのn型ソース、ドレイン領域の形成に有効であり、高性能SiCデバイスの実現につながる。

【0021】(第2実施形態) 第2実施形態に係るイオン注入層は、磷 (P) イオンが注入されたn型層が4H型SiCの{03-38}面に広がっているイオン注入層である。第2実施形態に係るイオン注入層が形成されるSiC半導体の構造は、第1実施形態で説明したSi

C半導体と同様に、基板に成長されたSiC層にイオン注入層が形成されたものである。従って、ここでは、図示は省略する。

【0022】第2実施形態に係るイオン注入層の製造方法について説明する。まず、4HSiC {03-38}の面方位を有する基板にホウ素(B)ドーパ型4HSiC層をエピタキシャル成長させる。ここで、用いる基板は、改良レーリ法によって成長したインゴットをスライスし、鏡面研磨することによって作製する。基板は全てp型で、ショットキー障壁の容量-電圧特性から求めた実効アクセプタ密度は $6\sim 8\times 10^{18}/\text{cm}^3$ 、厚さは $380\sim 420\mu\text{m}$ である。CVD法によるp型4HSiC層の主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.50 sccm 、 C_2H_4 については 0.66 sccm 、 B_2H_6 については $6\times 10^{-6}\text{ sccm}$ 、 H_2 については 3.0 slm とし、基板温度 1500°C で110分間成長させる。このような成長条件によって成長されたp型SiC層のアクセプタ密度は $3\sim 5\times 10^{15}/\text{cm}^3$ 、膜厚は $5\mu\text{m}$ である。

【0023】このようにして作製したSiCエピタキシャルウェーハにPイオンを注入し、イオン注入層を形成する。Pイオン注入は 180 keV 、 120 keV 、 80 keV 、 40 keV 、 20 keV の5段階で行い、総ドーズ量は $5\times 10^{15}\text{ cm}^{-2}$ である。各注入エネルギーのドーズ比を 0.42 (180 keV)、 0.21 (120 keV)、 0.13 (80 keV)、 0.10 (40 keV)、 0.04 (20 keV)とすることによって、深さ約 $0.3\mu\text{m}$ のボックスプロファイルを形成する。イオン注入は室温、あるいは 800°C で行い、注入イオン活性化のための熱処理はアルゴンガス雰囲気中で $1000\sim 1700^\circ\text{C}$ 、30分の条件で行う。

【0024】次に、上記製造方法によって製造されたイオン注入層の特性について説明する。ここでは、{0001}面から 8° のオフ角を有する面方位に広がるイオン注入層(以下、「{0001}面方位イオン注入層」という)の特性と比較して、{03-38}面方位を有するイオン注入層(以下、「{03-38}面方位イオン注入層」という)の特性を説明する。{0001}面方位イオン注入層の製造方法は、上記した{03-38}面方位イオン注入層の製造方法と基本的に同じであるが、p型SiC層を成長させる際に導入する B_2H_6 の流量が $2\times 10^{-6}\text{ sccm}$ である点異なる。

【0025】イオン注入層の電気的性質をファン・デア・ポー(van der Pauw)法によって評価した。イオン注入層を約 10 mm 角に切りだし、注入層の電気的分離を行うために、その中央部 8 mm 角が残るよう反応性イオンエッチングによってメサ構造を作製した。このメサ構造の4隅にニッケル(Ni:厚さ 180 nm)を蒸着し、 950°C 、20分間の熱処理を行っ

た。

【0026】図5は、室温、あるいは 800°C の高温でイオン注入を行ったイオン注入層のシート抵抗のアニール温度依存性を示す図である。シート抵抗はアニール温度の上昇と共に単調に減少するが、そのシート抵抗の絶対値に大きな面方位依存性が観測された。{0001}面方位イオン注入層の場合、高温注入、 $1600\sim 1700^\circ\text{C}$ のアニールによって $94\sim 97\Omega/\square$ という低いシート抵抗が得られたが、室温注入ではアニール温度を 1700°C まで上げてもシート抵抗は $285\Omega/\square$ までしか低減できなかった。これに対して{03-38}面方位イオン注入層の場合は、室温注入、 1200°C アニールでも $102\Omega/\square$ 、室温注入、 1500°C アニールでは $67\Omega/\square$ という低い値が得られた。また、高温注入によって得られた{03-38}面方位イオン注入層では、 1200°C アニールによって $56\Omega/\square$ という優れた値を得た。このように、Pイオン注入の場合も、4HSiC {03-38}面を用いると、低い注入温度、あるいは低いアニール温度で良好な低抵抗n型層が形成できることが分かった。これは、4HSiC {03-38}では、再結晶化の速度が非常に速く、比較的低温でも良好な結晶性回復特性を示すからであると考えられる。

【0027】次に、前述のイオン注入層(10 mm 角)を用いてオーム性電極の接触抵抗率の評価を行った。注入層表面に幅 $20\mu\text{m}$ 、長さ $200\mu\text{m}$ の短冊状の電極を間隔 $10\sim 200\mu\text{m}$ で配置し、TLM法によって電極の接触抵抗率を測定した。図6は、図5に対応する接触抵抗率の注入層アニール温度依存性を示す図(電極の熱処理は 950°C で固定)である。接触抵抗率の面方位依存性、注入温度あるいはアニール温度依存性は、図5のシート抵抗と同様の傾向を示した。すなわち、{0001}面方位イオン注入層の場合、 $1\times 10^{-6}\Omega\text{ cm}^2$ 程度の低い接触抵抗率を得るためには、高温注入と 1500°C 以上の高温アニールが必要である。一方、{03-38}面方位イオン注入層では、室温注入の後、 1200°C 以上のアニールを行えば $1\times 10^{-6}\Omega\text{ cm}^2$ 程度の低い接触抵抗率が得られる。室温注入後、 1500°C アニールを行った{03-38}面方位イオン注入層では $4\times 10^{-7}\Omega\text{ cm}^2$ という極めて低い優れた特性を得た。これは、4HSiC {03-38}面では上述のように注入イオンの活性化率が高く、非常に高濃度のドーピングが容易だからである。このように、4HSiC {03-38}面を用いると、低温プロセスで十分低抵抗のn型層を形成でき、かつオーム性電極の接触抵抗率も低減できるので、Pinダイオードのカソード、MOSFET、MESFETやJFETなどのn型ソース、ドレイン領域の形成に有効であり、高性能SiCデバイスの実現につながる。

【0028】(第3実施形態)第3実施形態に係るイオ

ン注入層は、アルミ (Al) イオンが注入されたp型層が4H型SiCの{03-38}面に広がっているイオン注入層である。第3実施形態に係るイオン注入層が形成されるSiC半導体の構造は、第1実施形態で説明したSiC半導体と同様に、基板に成長されたSiC層にイオン注入層が形成されたものである。従って、ここでは、図示は省略する。

【0029】第3実施形態に係るイオン注入層の製造方法について説明する。まず、4HSiC{03-38}の面方位を有する基板に窒素(N)ドーパント型4HSiC層をエピタキシャル成長させる。ここで、用いる基板は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製する。基板は全てn型で、ショットキー障壁の容量-電圧特性から求めた実効アクセプタ密度は $3\sim 6\times 10^{18}/\text{cm}^3$ 、厚さは $380\sim 400\mu\text{m}$ である。CVD法によるn型4HSiC層の主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.50 sccm 、 C_3H_8 については 0.66 sccm 、 N_2 については $3\times 10^{-4}\text{ sccm}$ 、 H_2 については 3.0 slm とし、基板温度 1520°C で90分間成長させる。このような成長条件によって成長されたn型4HSiC層のドナー密度は $3\sim 5\times 10^{15}/\text{cm}^3$ 、膜厚は $5\mu\text{m}$ である。

【0030】このようにして作製したSiCエピタキシャルウェーハにAlイオンを注入し、イオン注入層を形成する。Alイオン注入は 180 keV 、 120 keV 、 80 keV 、 40 keV 、 20 keV の5段階で行い、総ドーズ量は $5\times 10^{15}\text{ cm}^{-2}$ である。各注入エネルギーのドーズ比を 0.42 (180 keV)、 0.21 (120 keV)、 0.13 (80 keV)、 0.10 (40 keV)、 0.04 (20 keV)とすることによって、深さ約 $0.3\mu\text{m}$ のボックスプロファイルを形成する。イオン注入は室温、あるいは 500°C で行い、注入イオン活性化のための熱処理はアルゴンガス雰囲気中で $1000\sim 1700^\circ\text{C}$ 、30分の条件で行う。

【0031】次に、上記製造方法によって製造されたイオン注入層の特性について説明する。ここでは、{0001}面から 8° のオフ角を有する面方位に広がるイオン注入層(以下、「{0001}面方位イオン注入層」という)の特性と比較して、{03-38}面方位を有するイオン注入層(以下、「{03-38}面方位イオン注入層」という)の特性を説明する。{0001}面方位イオン注入層の製造方法は、上記した{03-38}面方位イオン注入層の製造方法と基本的に同じであるが、n型4HSiC層を成長させる際に導入する N_2 の流量が $2\times 10^{-3}\text{ sccm}$ である点異なる。

【0032】イオン注入層の電気的性質をファン・デア・ポー(van der Pauw)法によって評価した。イオン注入層を約 10 mm 角に切りだし、注入層の電気的分離を行うために、その中央部 8 mm 角が残るよ

う反応性イオンエッチングによってメサ構造を作製した。このメサ構造の4隅にチタン/アルミ(Ti:厚さ 20 nm /Al: 250 nm)を蒸着し、 900°C 、20分間の熱処理を行った。

【0033】図7は、室温、あるいは 500°C の高温で注入した試料の注入層のシート抵抗のアニール温度依存性を示す図である。シート抵抗はアニール温度の上昇と共に単調に減少するが、そのシート抵抗の絶対値に大きな面方位依存性が観測された{0001}面イオン注入層の場合、高温注入、 $1600\sim 1700^\circ\text{C}$ のアニールによって $3200\sim 3800\Omega/\square$ というSiCとしては比較的低いシート抵抗が得られたが、デバイス応用を考えると十分な値ではない。室温注入ではアニール温度を 1700°C まで上げててもシート抵抗は $18000\Omega/\square$ と非常に高く、高性能デバイスを作製する上で大きな障害となる特性しか得られなかった。これに対して{03-38}面方位イオン注入層の場合は、室温注入、 1200°C アニールでも $2020\Omega/\square$ 、室温注入、 1500°C アニールでは $1240\Omega/\square$ という低い値が得られた。また、{03-38}面方位イオン注入層では、高温注入を行うと、 1200°C アニールによって $1080\Omega/\square$ という優れた値を得た。このように、Alイオン注入の場合も4HSiC{03-38}面を用いると、低い注入温度、あるいは低いアニール温度で良好な低抵抗p型層が形成できることが分かった。これは、4HSiC{03-38}では、再結晶化の速度が非常に速く、比較的低温でも良好な結晶性回復特性を示すからであると考えられる。

【0034】次に、前述のイオン注入層(10 mm 角)を用いてオーム性電極の接触抵抗率の評価を行った。注入層表面に幅 $20\mu\text{m}$ 、長さ $200\mu\text{m}$ の短冊状の電極を間隔 $10\sim 200\mu\text{m}$ で配置し、TLM法によって電極の接触抵抗率を測定した。図8は、図7に対応する接触抵抗率の注入層アニール温度依存性(電極の熱処理は 900°C で固定)を示す図である。接触抵抗率の面方位依存性、注入温度あるいはアニール温度依存性は、図7のシート抵抗と同様の傾向を示した。すなわち、{0001}面方位イオン注入層の場合、 $5\times 10^{-6}\Omega\text{ cm}^2$ 以下の低い接触抵抗率を得るためには、高温注入と 1500°C 以上の高温アニールが必要である。一方、{03-38}面方位イオン注入層では、室温注入の後、 1200°C 以上のアニールを行えば $3\times 10^{-6}\Omega\text{ cm}^2$ 以下の低い接触抵抗率が得られる。室温注入後、 1500°C アニールを行った{03-38}面方位イオン注入層では $8\times 10^{-7}\Omega\text{ cm}^2$ という極めて低い優れた特性を得た。これは、4HSiC{03-38}面では上述のように注入イオンの活性化率が高く、非常に高濃度のドーピングが容易だからである。このように、4HSiC{03-38}面を用いると、低温プロセスで十分低抵抗のp型層を形成でき、かつオーム性電極の接触抵抗率

も低減できるので、Pinダイオードのアノード、MOSFETやIGBTなどのp型ベース領域の形成に有効であり、高性能SiCデバイスの実現につながる。

【0035】また、高ドーズイオン注入層の表面の平坦性を原子間力顕微鏡（AFM）により調べた。測定領域を $1\mu\text{m}\sim 20\mu\text{m}$ 角の間で変化させ、表面粗さをRms

s（二乗平均）で評価した。表1は、測定領域 $10\mu\text{m}$ 角で比較した結果を示す表である。前述のように、Alイオンをトータルドーズ量 $5\times 10^{15}/\text{cm}^2$ 注入して、アニールを行った。

【0036】

【表1】

SiC表面の二乗平均粗さ(rms値)

	成長層	注入直後	1200℃ アニール後	1500℃ アニール後	1700℃ アニール後
(0001) B° オフ面	0.34nm	0.36nm	1.48nm	2.27nm	6.81nm
(0338)面	0.27nm	0.28nm	1.17nm	1.56nm	1.72nm

($10\mu\text{m}\times 10\mu\text{m}$ 領域)

【0037】{0001}面方位イオン注入層の表面ではRms値が0.26nm、{03-38}面方位イオン注入層の表面ではRms値が0.16nmとなり、

{03-38}面方位イオン注入層の方が少し小さい値が得られ、表面の平坦性に優れることが分かる。このRms値は注入直後の状態でもほとんど変化しないが、アニール後には変化が見られた{0001}面方位イオン注入層の場合には、低抵抗層を形成するためには、1500℃以上の高温アニールが必要となるが、このような高温アニールを行うと、表面に幅 $0.3\sim 0.7\mu\text{m}$ のマクロステップが形成され、表面の平坦性が悪化した。

{0001}面方位イオン注入層で最も低いシート抵抗が得られた高温注入、1700℃アニールの試料では、光学顕微鏡では鏡面を保っているものの、AFMではRms値が6.8nmまで増大し、明らかな表面荒れが観測された。高温の熱処理時におけるマクロステップの形成は、SiC{0001}オフ面が表面エネルギーを低減させるために生じる面固有の現象であり、完全に抑制することは容易ではない。一方、{03-38}面方位イオン注入層の場合には、低抵抗p型層が得られる室温注入、1200～1500℃アニールの試料でもRms値は1.2～1.6nmと小さい。1700℃の高温アニールを行っても、Rms値は1.8nmに留まっている。これは4HSiC{03-38}面ではオフ角を導入していないので、表面エネルギーの低い面が既に現れており、マクロステップの形成などによって表面エネルギーを下げる必要がないからであると推測される。このように、4HSiC{03-38}面では高温の熱処理を行っても表面の平坦性が維持されることは、デバイスの性能向上に有効である。例えば、ショットキー障壁/SiC界面の平坦性が維持されるので、漏れ電流の少ない良好な特性が期待される。また、酸化膜/SiC界面の平坦性もよいので、酸化膜の絶縁特性が向上する、界面のキャリアや散乱が低減されてMOS構造のチャネル移動度が向上する、という効果が期待される。

【0038】以下、本発明に係るイオン注入層を適用した様々な半導体デバイスのデバイス特性について説明する。

【0039】（第1適用例）イオン注入層を適用した第1の例は、ショットキーダイオードである。本発明に係るイオン注入層を適用して、図9に示すショットキーダイオード10を製造した。ショットキーダイオード10の製造方法について説明する。

【0040】デバイス作製に用いた基板11は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製した。基板11は全てn型で、ホール効果測定によって求めたキャリア密度は $8\sim 9\times 10^{18}\text{cm}^{-3}$ 、厚さは $160\sim 210\mu\text{m}$ である。このデバイスでは縦方向に電流を流すため、基板11の抵抗を下げ、かつ薄い基板11を用いるのが有効である。この基板11の{03-38}面上に、CVD法によって窒素ドーパント型SiC層12をエピタキシャル成長した。n型SiC層はバッファ層12aとドリフト層12bからなり、バッファ層12aはドナー密度 $1\sim 5\times 10^{17}/\text{cm}^3$ 、膜厚は $2\mu\text{m}$ 、ドリフト層12bはドナー密度 $6\sim 8\times 10^{15}/\text{cm}^3$ 、膜厚は $12\mu\text{m}$ である。CVD法によるバッファ層12aの主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.30sccm 、 C_3H_8 については 0.30sccm 、 N_2 については $1\times 10^{-2}\text{sccm}$ 、 H_2 については 3.0sml とし、基板温度1550℃で45分間成長させる。また、CVD法によるドリフト層12bの主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.50sccm 、 C_3H_8 については 0.50sccm 、 N_2 については $4\times 10^{-4}\text{sccm}$ 、 H_2 については 3.0sml とし、基板温度1550℃で200分間成長させる。

【0041】このようにして作製したSiCエピタキシャルウェーハを用いて、図9に示す構造のショットキーダイオード10を作製した。ショットキー電極端部での

電界集中、絶縁破壊を抑制するために、ショットキー電極の周囲に幅 $150\mu\text{m}$ 、深さ $0.5\mu\text{m}$ のp型ガードリング14を設けた。ガードリング14はホウ素(B)イオン注入により形成した。Bイオン注入のエネルギーは $30\sim 280\text{keV}$ でトータルドーズ量は $1.1\times 10^{13}/\text{cm}^2$ である。イオン注入のマスクには、Al(厚さ $4\mu\text{m}$)、あるいはCVDにより形成した SiO_2 膜(厚さ $5\mu\text{m}$)を用いた。注入イオン活性化のための熱処理はアルゴンガス雰囲気中 1500°C 、30分の条件で行った。アニールの後、 1150°C 、2時間のウェット酸化により熱酸化膜19を形成し、さらにCVDによって厚さ 800nm の SiN 膜を堆積した。次に裏面にNi(厚さ 200nm)を蒸着し、 1000°C 、20分間の熱処理を行ってオーミック電極18を形成した。次いで表面側にTi/Al(Ti: 200nm /Al: 850nm)を蒸着してショットキー電極16を形成した。ショットキー電極16は 500°C 、30分間の熱処理を行って安定化させた。ショットキーダイオードの表面はポリイミド17を塗布して保護した。ショットキー電極16とガードリング領域14の重なりは $20\mu\text{m}$ であり、ショットキー電極16の直径は $300\mu\text{m}\phi\sim 3\text{mm}\phi$ である。これらのガードリング14、電極パターン形成には、フォトリソグラフィ技術を用いた。

【0042】次に、作製された図9に示すショットキーダイオード10の特性について説明する。ここでは、{03-38}面方位イオン注入層を適用したショットキーダイオード(以下、「{03-38}ショットキーダイオード」という)10の特性を、{0001}面方位イオン注入層を適用したショットキーダイオード(以下、「{0001}ショットキーダイオード」という)と比較して説明する。なお、{0001}ショットキーダイオードの製造方法は、{03-38}ショットキーダイオード10の製造方法と基本的に同じであるが、バッファ層を成長させる際に導入する N_2 の流量が $8\times 10^{-2}\text{sccm}$ である点、ドリフト層を成長させる際に導入する N_2 流量が $3\times 10^{-3}\text{sccm}$ である点が異なる。

【0043】図10は、ショットキーダイオード($1\text{mm}\phi$)の典型的な電流-電圧特性を示す図である。順方向特性は結晶の面方位依存性は小さく、オン抵抗 $3\sim 4\text{m}\Omega\text{cm}^2$ という良好な値が得られた。順方向特性の片対数プロットから求めた理想因子N値は $1.02\sim 1.05$ であり、障壁高さは{0001}ショットキーダイオードで 1.08eV 、{03-38}ショットキーダイオード10で 1.16eV となった。逆方向特性では 1500V 以上の耐圧を達成し、しかも、 -1000V 印加時のリーク電流も $10^{-4}\text{A}/\text{cm}^2$ 程度と小さい。ショットキー電極16が $300\mu\text{m}\phi\sim 1\text{mm}\phi$ 程度の小さいダイオードでは{0001}ショットキーダイオードでも同様のダイオード特性が得られたが、電極面積の

大きいダイオードでは両者の間に大きな差が見られた。図11は、{03-38}ショットキーダイオード10、{0001}ショットキーダイオードの耐圧(平均値)の電極面積依存性を示す図である。各電極面積について、少なくとも40ケのダイオードを測定して耐圧の平均値を求めた。{0001}ショットキーダイオードでは、電極面積が $7.9\times 10^{-3}\text{cm}^2$ ($1\text{mm}\phi$)を越えると急激に耐圧が低下する。これに対して、{03-38}ショットキーダイオード10は、 $7\times 10^{-2}\text{cm}^2$ ($3\text{mm}\phi$)の電極面積でも高い耐圧を維持している。この $3\text{mm}\phi$ のダイオードで耐圧 1200V を基準にして歩留まりを求めると、{0001}ショットキーダイオードで13%、{03-38}ショットキーダイオード10では72%となった。また、耐圧だけでなく、 -1000V 印加時のリーク電流密度の平均値を電極直径 $3\text{mm}\phi$ のダイオードと比較すると、{0001}ショットキーダイオードでは $9\times 10^{-2}\text{A}/\text{cm}^2$ 、{03-38}ショットキーダイオード10では $3\times 10^{-4}\text{A}/\text{cm}^2$ となり、二桁以上の差が認められた。これは、4H SiC {03-38}面を用いることによって、基板11からのマイクロパイプやらせん転位の貫通が抑制され、高品質 SiC 結晶が得られたからであると考えられる。また、4H SiC {03-38}面を用いることによって成長表面、およびイオン注入により形成したガードリング部14の表面の平坦性がよくなり、ショットキー電極16/ SiC 界面での電界集中が低減されるという効果も寄与していると思われる。本適用例ではBイオン注入によってガードリング14を形成したが、Alイオン注入を用いた場合でも同様の効果がある。

【0044】(第2適用例)イオン注入層を適用した第2の例は、プレーナ型p n ダイオードである。本発明に係るイオン注入層を適用して、図12に示すプレーナ型p n ダイオード20を製造した。プレーナ型p n ダイオード20の製造方法について説明する。

【0045】デバイス作製に用いた基板21は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製した。基板21は全てn型で、ホール効果測定によって求めたキャリア密度は $8\sim 9\times 10^{18}\text{cm}^{-3}$ 、厚さは $160\sim 210\mu\text{m}$ である。この基板21の{03-38}面上に、CVD法によって窒素ドーパ n 型 SiC 層22をエピタキシャル成長した。成長層はバッファ層22aとドリフト層22bからなり、バッファ層22aはドナー密度 $1\sim 5\times 10^{17}\text{cm}^{-3}$ 、膜厚は $4\mu\text{m}$ 、ドリフト層22bはドナー密度 $1\sim 2\times 10^{15}\text{cm}^{-3}$ 、膜厚は $76\mu\text{m}$ である。CVD法によるバッファ層22aの主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.30sccm 、 C_3H_8 については 1.5sccm 、 N_2 については $8\times 10^{-2}\text{sccm}$ 、 H_2 については 3.0

slmとし、基板温度1750℃、100Torrの圧力下で10分間成長させる。また、CVD法によるドリフト層22bの主な成長条件は、以下の通りである。導入する気体流量を、SiH₄については15sccm、C₃H₈については4.5sccm、N₂については1×10⁻³sccm、H₂については3.0slmとし、基板温度1750℃、100Torrの圧力下で180分間成長させる。

【0046】ここでは、高い耐圧を得るために高純度・厚膜成長層を短時間で成膜できるように、高温での高速成長を行った。このようにして作製したSiCエピタキシャルウェーハを用いて、図12に示す構造のプレーナ型pnダイオード20を作製した。まず、p型アノード24を形成するために、Alイオンを720keV、400keV、280keV、160keV、80keV、40keV、20keVの7段階で注入した。総ドーズ量は1.3×10¹⁵/cm²である。各注入エネルギーのドーズ量を2.7×10¹³/cm² (720keV)、1.8×10¹³/cm² (400keV)、1.2×10¹³/cm² (280keV)、1.0×10¹³/cm² (160keV)、7.2×10¹⁴/cm² (80keV)、4.2×10¹⁴/cm² (40keV)、1.3×10¹⁴/cm² (20keV)とすることによって、深さ約0.7μmのp型層の内、表面約0.2μmが10²⁰/cm³以上の高濃度層となるドーピングプロファイルを形成した。次に、p型アノード領域端部での電界集中、絶縁破壊を抑制するために、この周囲に幅300μm、深さ0.7μmのp型ガードリング23を設けた。ガードリング23もAlイオン注入により形成した。Alイオン注入のエネルギーは同じく20～720keVの7段階でトータルドーズ量は1.0×10¹³cm⁻²である。ガードリング23の形成時には、注入層がボックスプロファイルとなるよう設計した。イオン注入は全て室温で行い、イオン注入のマスクには、Al (厚さ5μm)、あるいはCVDにより形成したSiO₂膜 (厚さ6μm)を用いた。注入イオン活性化のための熱処理はアルゴンガス雰囲気中1500℃、30分の条件で行った。アニールの後、1150℃、2時間のウェット酸化により熱酸化膜を形成し、さらに、CVDによって厚さ800nmのSiO₂膜30を堆積した。次に裏面にNi (厚さ200nm) 29、表面側にNi/Al (Ni: 200nm/Al: 1200nm) 27を蒸着し、1000℃、20分間の熱処理を行ってオーミック電極27を形成した。ダイオードの表面はポリイミド28を塗布して保護した。p型アノードのサイズは3mm角 (面積0.09cm²) である。

【0047】次に、作製された図12に示すプレーナ型pnダイオード20の特性について説明する。ここでは、{03-38}面方位イオン注入層を適用したプレーナ型pnダイオード (以下、「{03-38}プレー

ナ型pnダイオード」という) 20の特性を、{0001}面方位イオン注入層を適用したプレーナ型pnダイオード (以下、「{0001}プレーナ型pnダイオード」という) と比較して説明する。なお、{0001}プレーナ型pnダイオードの製造方法は、{03-38}プレーナ型pnダイオード20の製造方法と基本的に同じであるが、バッファ層を成長させる際に導入するN₂の流量が6×10⁻¹sccmである点、ドリフト層を成長させる際に導入するN₂流量が4×10⁻²sccmである点が異なる。

【0048】図13は、プレーナ型pnダイオード (3mm角) の典型的な電流-電圧特性を示す図である。順方向、逆方向特性とも、明らかな面方位依存性が見られた。まず順方向特性に着目すると{0001}プレーナ型pnダイオードは比較的電流が流れにくく、5A程度以上では約12mΩcm²の直列抵抗 (オン抵抗) によって電気伝導が支配される。一方、{03-38}プレーナ型pnダイオード20では、オン抵抗は2～3mΩcm²と非常に小さく、約2.8Vの立ち上がり電圧より高い領域では急激に電流が増大する{03-38}プレーナ型pnダイオード20では30A (333A/cm²) という高い電流を3.9Vの電圧降下で達成することができた。{03-38}プレーナ型pnダイオードに比べて、{0001}プレーナ型pnダイオードでは電流が流れにくいのは、4HSiC {0001}を用いた場合には、p型アノードの表面部に形成した高濃度p型層の電気的活性化率が低いために抵抗が高いこと、およびこのp型層への電極の接触抵抗が高いことが原因と考えられる。4HSiC {03-38}を用いると、室温注入でも低抵抗・高濃度p型層が形成できるので、この部分の抵抗と接触抵抗を大幅に低減できる。また、逆方向特性では{0001}プレーナ型pnダイオードの耐圧が5210Vに留まっているのに対し{03-38}プレーナ型pnダイオード20では8860Vもの高耐圧を得ることができた。-4500V印加時のリーク電流は、{0001}プレーナ型pnダイオードで3×10⁻⁵A/cm²、{03-38}プレーナ型pnダイオード20で5×10⁻⁸A/cm²となり、やはり明確な差が見られた。また、絶縁破壊時のアバランシェ電流に着目すると、{03-38}プレーナ型pnダイオード20では絶縁破壊時に5A (55A/cm²) まで電流を増してもダイオードの物理的破壊に至らない安定な特性が得られた。しかし、{0001}プレーナ型pnダイオード20では1A (11A/cm²) を越えると物理的破壊によって整流特性が著しく悪化するダイオードが大半を占めた。これは、4HSiC {03-38}面を用いることによって、基板21からのマイクロパイプやらせん転位の貫通が抑制され、高品質SiC結晶が得られたからであると考えられる。

【0049】また、作製したプレーナ型pnダイオード

の+4Vと-1000Vの間のスイッチング特性や高温(300℃)でのオフ特性(-3000V)の長期信頼性には特に面方位依存性が見られなかったが、オン特性(200A/cm²)の長期信頼性には面方位による差が認められた。図14は、{03-38}プレーナ型pnダイオード20、{0001}プレーナ型pnダイオードに順方向電流18A(200A/cm²)を長時間流し続けたときの順方向電圧降下をプロットした図である。{0001}プレーナ型pnダイオードでは約3000secを越えた付近から電圧降下が増大し始め、10000sec後には初期の3.6Vから4.7Vまで増大した。しかしながら、{03-38}プレーナ型pnダイオード20では10000sec後も電圧降下は3.7Vであり、ほとんど劣化していない。この原因を調べるために、長期信頼性試験を行ったダイオードを透過電子顕微鏡(TEM)により観察したところ、劣化した{0001}プレーナ型pnダイオードでは、{0001}面に多数の積層欠陥が発生していること、および{03-38}プレーナ型pnダイオード20ではこのような積層欠陥の発生が見られないことが分かった。この積層欠陥の発生機構は現在のところ明らかでないが、III-V族半導体の発光ダイオードでは、順方向バイアス時にキャリア再結合によって放射されるエネルギーが結晶歪が大きい部分に部分転位の発生を引き起こし、この部分転位が最密充填面内に伸びることによって積層欠陥が形成されることが知られている。{0001}プレーナ型pnダイオードの場合も順方向バイアス時に同様の現象が起り、最密充填面に相当する{0001}面に積層欠陥が発生したものと推測される。この積層欠陥の影響によって少数キャリア寿命が低下し、順方向電圧降下が増大したと思われる{03-38}プレーナ型pnダイオード20の場合にこのような積層欠陥の発生が抑制される理由は、この面ではSiとC原子が適度に混在するので、PN接合界面における歪が非常に小さく、部分転位や積層欠陥などの欠陥が発生しにくいものと思われる。また、イオン注入後のアニールによって損傷がほぼ完全に除去できるので、欠陥発生を引き金になる歪や点欠陥の集合体が非常に少ないことも寄与している。なお、この実施例ではAlイオン注入によってガードリング23を形成したが、Bイオン注入を用いた場合でも同様の効果がある。

【0050】(第3適用例)イオン注入層を適用した第3の例は、Nチャネル反転MOSFETである。本発明に係るイオン注入層を適用して、図15に示すNチャネル反転MOSFET40を製造した。Nチャネル反転MOSFET40の製造方法について説明する。

【0051】用いた基板41は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製した。基板41は全てp型で、ショットキー障壁の容量-電圧特性から求めた実効アクセプタ密度

は $3\sim 5\times 10^{18}/\text{cm}^3$ 、厚さは $380\sim 420\mu\text{m}$ である。この基板11の{03-38}面に、CVD法によってホウ素ドーパ型SiC層42をエピタキシャル成長した。p型SiC成長層42のアクセプタ密度は $5\sim 8\times 10^{15}/\text{cm}^3$ 、膜厚は $4\mu\text{m}$ である。CVD法によるp型SiC層42の成長条件は以下の通りである。導入する気体流量を、SiH₄については0.50sccm、C₃H₈については0.66sccm、B₂H₆については $1\times 10^{-5}\text{sccm}$ 、H₂については3.0slmとし、基板温度1500℃で100分間成長させる。

【0052】このようにして作製したSiCエピタキシャルウェーハを用いて、図15に示す構造のNチャネル反転型MOSFET40を作製した。まず、試料をRC A洗浄し、HFディップした後、ウェット酸化によりゲート酸化膜48を形成した。酸化条件は、1100℃、25分である。ゲート酸化膜48の厚さは46~53nmである。ウェット酸化の後、酸化と同じ温度でアルゴン雰囲気、30分間のアニールを行った。

【0053】次に、SiH₄を原料ガスに用いた減圧CVD法によって700℃で多結晶Si(厚さ1.6μm)を堆積し、POCl₃を用いて900℃で燐(P)を拡散して低抵抗n型多結晶Siを形成した。この多結晶SiをCF₄とO₂ガスを用いた反応性イオンエッチングによってパターニングし、幅4μm、幅200μmの多結晶Siゲート47を形成した。続いて、この多結晶Siゲート電極をマスクに窒素(N)イオンを注入してソース領域44、ドレイン領域43を形成した。Nイオン注入は120keV、70keV、40keV、25keVの4段階で行い、総ドーズ量は $2\times 10^{15}/\text{cm}^2$ である。イオン注入は室温で行い、注入イオン活性化のための熱処理はアルゴンガス雰囲気中1200℃、30分の条件で行った。

【0054】次に、ソース電極46、ドレイン電極45としてチタン/アルミ(Ti:30nm、Al:250nm)を形成し、850℃で30分間の熱処理を施した。これらの選択的イオン注入用マスクや電極金属のパターニングには、フォトリソグラフィ技術を用いた。ここで用いた自己整合プロセスは、デバイス作製のマスク数の低減、工程数の低減だけでなく、デバイスの微細化、ゲート・ドレイン間やゲート・ソース間の寄生容量の低減に有効である。

【0055】次に、作製された図15に示すNチャネル反転MOSFET40の特性について説明する。ここでは、{03-38}面方位イオン注入層を適用したNチャネル反転MOSFET(以下、「{03-38}Nチャネル反転MOSFET」という)40の特性を、{0001}面方位イオン注入層を適用したNチャネル反転MOSFET(以下、「{0001}Nチャネル反転MOSFET」という)と比較して説明する。なお、{0

001} Nチャネル反転MOSFETの製造方法は、{03-38} Nチャネル反転MOSFET40の製造方法と基本的に同じであるが、p型SiC層を成長させる際に導入する B_2H_6 の流量が 4×10^{-6} sccmである点、ウェット酸化後のアニールの条件が1150℃、2時間である点が異なる。アニールの条件が異なるのは、{03-38}面を用いた場合は、{0001}面を用いた場合に比べて酸化速度が非常に速いためである。

【0056】図16は、MOSFETの典型的なゲート特性(ドレイン電圧0.1Vの線形領域)を示す図である。図16に示されるように、作製したMOSFETのドレイン特性には明確な線形領域と飽和領域が見られ、MOSFETとしての動作が確認された。{0001} Nチャネル反転MOSFETは、9.8Vという高いしきい値電圧を示し、かつゲート電圧を15Vまで増してもドレイン電流が1 μ A以下に留まっている。一方、{03-38} Nチャネル反転MOSFET40は、しきい値電圧が4.4Vと低く、ゲート電圧の増大に対してドレイン電流が急峻に立ち上がる良好な特性が得られた。このゲート特性から求めた線形領域での実効チャネル移動度は、{0001} Nチャネル反転MOSFETで4.5 cm²/Vs、{03-38} Nチャネル反転MOSFET40で86 cm²/Vsとなり4HSiC {03-38}を用いることによって約20倍の高いチャネル移動度を達成することができた。飽和領域で求めた電界効果移動度も{0001} Nチャネル反転MOSFETで3.1 cm²/Vs、{03-38} Nチャネル反転MOSFET40で72 cm²/Vsとなり、大きな違いが見られた。

【0057】このMOSFET特性の面方位による違いは主に三つの原因による。一つは、MOS界面の品質の違いである。MOSキャパシタの容量-電圧特性や、MOSFETの温度特性から4HSiC {03-38}面ではMOS界面の欠陥密度が4HSiC {0001}面より約1桁少ないことが分かっている。したがって、{03-38} Nチャネル反転MOSFET40では、反転層において電子のトラップや散乱が起こりにくいため、高いチャネル移動度が得られる。二番目の理由は、MOS界面の平坦性の違いである。上述したように、4HSiC {0001}面に高ドーズのイオン注入をしてアニールを行うと、マクロステップが発生して表面の平坦性が悪化する。MOS反転層チャネルは非常に薄いので、このようなMOS界面の平坦性には敏感であり、平坦性が悪化するとチャネル移動度も低下する4HSiC {03-38}面では、高ドーズのイオン注入、アニールを行っても優れた平坦性が維持されるので、高いチャネル移動度が得られる。もう一つの理由は、ソース領域44、およびオーム性電極の接触抵抗である。Nチャネル反転MOSFETの作製時に同じウェーハ上に作製し

たテストパターンを評価した結果、今回のプロセスで形成したn型ソース領域のシート抵抗が4HSiC {0001}面で2300 Ω /□、4HSiC {03-38}面で210 Ω /□であることが分かった。また、このソース領域44への接触抵抗率は4HSiC {0001}面で 8×10^{-4} Ω cm²、4HSiC {03-38}面で 3×10^{-6} Ω cm²であった。このように、4HSiC {03-38}面を用いることによって、寄生抵抗成分を一桁以上低減できたことも、上記のMOSFET特性の向上に大きく寄与している。従来、SiCのデバイスプロセスではイオン注入層の活性化と損傷低減に要するアニール温度がSiの融点(1420℃)より高いために、自己整合プロセスの適用は困難とされてきた。しかしながら、4HSiC {03-38}面を用いることによって室温注入でもイオン注入後のアニール温度を大幅に低減できるので、自己整合プロセスを採用しても高性能MOSFETを作製することが分かった。ここでは、Nチャネル反転MOSFETについて述べたが、A1イオン注入によってソース領域、ドレイン領域を形成するPチャネル反転MOSFETや、CMOSデバイスの作製にも4HSiC {03-38}面の活用が非常に有効である4HSiC {03-38}面を用いて低温イオン注入プロセスを使えば、微細CMOS論理ゲートやオペアンプなどの高温動作高速集積回路の実現が可能である。

【0058】(第4適用例)イオン注入層を適用した第4の例は、Nチャネル縦型DI(Double Implanted) MOSFETである。本発明に係るイオン注入層を適用して、図17に示すNチャネル縦型DIMOSFET50を製造した。縦型のSiパワーMOSFETは二重拡散などのプロセスによって作製されるが、SiCではp型ウェル、n型ソースなどを形成するのにイオン注入技術が不可欠となる。この構造では、イオン注入によって形成したp型領域とエピタキシャル成長によって形成したn型ドリフト層のpn接合によって耐圧を維持する。Nチャネル縦型DIMOSFET50の製造方法について説明する。

【0059】デバイス作製に用いた基板51は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製した。基板51は全てn型で、ホール効果測定によって求めたキャリア密度は $8 \sim 9 \times 10^{18}$ /cm³、厚さは160~210 μ mである。このデバイスでは縦方向に電流を流すため、基板51の抵抗を下げ、かつ薄い基板51を用いるのが有効である。この基板51の{03-38}面上に、CVD法によって窒素ドーパドn型SiC層52をエピタキシャル成長した。成長層はバッファ層52aとドリフト層52bからなり、バッファ層52aはドナー密度 $1 \sim 5 \times 10^{17}$ cm⁻³、膜厚は2 μ m、ドリフト層52bはドナー密度 $5 \sim 6 \times 10^{15}$ cm⁻³、膜厚は18 μ mである。C

VD法によるバッファ層52aの主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.30 sccm 、 C_3H_8 については 0.30 sccm 、 N_2 については $1 \times 10^{-2}\text{ sccm}$ 、 H_2 については 3.0 slm とし、基板温度 1550°C で45分間成長させる。また、CVD法によるドリフト層52bの主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.50 sccm 、 C_3H_8 については 0.40 sccm 、 N_2 については $2 \times 10^{-4}\text{ sccm}$ 、 H_2 については 3.0 slm とし、基板温度 1550°C で250分間成長させる。

【0060】このようにして作製したSiCエピタキシャルウェーハを用いて、図17に示す構造の縦型DIMOSFET50を作製した。まず、アルミ(Al)イオンを注入して深さ $0.7\mu\text{m}$ 、アクセプタ密度約 $0.5 \sim 3 \times 10^{17}/\text{cm}^3$ のp型ウェル領域53を形成した。Alイオン注入は 560 keV 、 420 keV 、 300 keV 、 180 keV 、 100 keV 、 50 keV の6段階で行い、総ドーズ量は $1.4 \times 10^{13}/\text{cm}^2$ である。このとき、p型ウェル53の深い領域は接合近傍での電界集中を緩和するために $10^{17}/\text{cm}^3$ 以上の密度、浅い領域はn型反転層を得るためのしきい値電圧を低減し、かつ高いチャネル移動度を得るために $10^{16}/\text{cm}^3$ 台のドーパント密度になるように設計して作製した。

【0061】次に、ソース領域54、ドレイン領域55の形成のために、リン(P)イオンを注入して低抵抗n型領域を作製した。Pイオン注入は 180 keV 、 110 keV 、 60 keV 、 30 keV の4段階で行い、総ドーズ量は $2 \times 10^{15}/\text{cm}^2$ である。イオン注入はともに室温で行った。また、デバイス端部での絶縁破壊を抑制するために、活性領域の周囲に幅 $250\mu\text{m}$ 、深さ $0.7\mu\text{m}$ のp型ガードリングを設けた。ガードリングはホウ素(B)イオン注入により形成した。Bイオン注入のエネルギーは $30 \sim 360\text{ keV}$ でトータルドーズ量は $1.2 \times 10^{13}\text{ cm}^{-2}$ である。イオン注入のマスクには、Al(厚さ $5\mu\text{m}$)、あるいはCVDにより形成した SiO_2 膜(厚さ $6\mu\text{m}$)を用いた。注入イオン活性化のための熱処理はアルゴンガス雰囲気中 1500°C 、30分の条件で行った。チャネル長は $2\mu\text{m}$ 、セルピッチ(ストライプ構造)は $22\mu\text{m}$ である。

【0062】次に、試料をRCA洗浄し、HFディップした後、ドライ酸化によりゲート酸化膜58を形成した。酸化条件は 1150°C 、25分であり、形成されるゲート酸化膜の厚さは $44 \sim 51\text{ nm}$ である。

【0063】このゲート酸化のあと、減圧CVD法によって基板温度 850°C で厚さ約 $1\mu\text{m}$ の多結晶Siを堆積し、燐を 850°C の拡散によりドーピングし、低抵抗n型多結晶Siを形成した。次に、反応性イオンエッチングによってこの多結晶Siを部分的にエッチングして

ゲート電極60を作製した。次に、ゲート・ドレイン間の絶縁用の SiO_2 膜(厚さ約 $0.8\mu\text{m}$)60を基板温度 500°C のプラズマCVD法によって堆積した。この後、裏面全面にニッケル(Ni: 200 nm)を蒸着し、ドレイン電極59とした。表面側のソース電極56にはニッケル/アルミ(Ni: $100\text{ nm}/\text{Al}$: 400 nm)を用い、両方の電極を 950°C で15分間の熱処理を施すことによって良好なオーミック接触を得た。これらの選択的イオン注入用マスクや電極金属のパターニングには、フォトリソグラフィ技術を用いた。この縦型MOSFET50の活性領域の面積は $9 \times 10^{-2}\text{ cm}^2$ (3 mm 角)である。

【0064】次に、作製された図17に示すNチャネル縦型DIMOSFET50の特性について説明する。ここでは、{03-38}面方位イオン注入層を適用したNチャネル縦型DIMOSFET(以下、「{03-38}Nチャネル縦型DIMOSFET」という)50の特性を、{0001}面方位イオン注入層を適用したNチャネル縦型DIMOSFET(以下、「{0001}Nチャネル縦型DIMOSFET」という)と比較して説明する。なお、{0001}Nチャネル縦型DIMOSFETの製造方法は、{03-38}Nチャネル縦型DIMOSFET50の製造方法と基本的に同じであるが、バッファ層を成長させる際に導入する N_2 の流量が $8 \times 10^{-2}\text{ sccm}$ である点、ドリフト層を成長させる際に導入する N_2 の流量が $2 \times 10^{-3}\text{ sccm}$ である点、ゲート酸化膜を形成するための酸化条件が 1150°C 、3時間である点が異なる。

【0065】図18は、低ドレイン電圧領域における縦型DIMOSFET(3 mm 角)の典型的なドレイン特性を示す図、図19は高ドレイン電圧領域における縦型DIMOSFET(3 mm 角)の典型的なドレイン特性を示す図である。{0001}Nチャネル縦型DIMOSFET、{03-38}Nチャネル縦型DIMOSFET50は共に明確な線形領域と飽和領域が見られ、MOSFETとして動作したが、その特性にはやはり大きな差が見られた。{0001}Nチャネル縦型DIMOSFETは、ゲート電圧を 15 V まで増してもドレイン電流が 500 mA 以下に留まっている。一方、{03-38}Nチャネル縦型DIMOSFET50は、比較的小さいゲート電圧、ドレイン電圧で 9 A ($100\text{ A}/\text{cm}^2$)以上のドレイン電流が流れ、ゲート電圧 15 V のときには、ドレイン電圧 3.4 V で 9 A ($100\text{ A}/\text{cm}^2$)を達成した。この特性からオン抵抗を見積もると $34\text{ m}\Omega\text{ cm}^2$ となり、非常に良好な値が得られた。ちなみに、{0001}Nチャネル縦型DIMOSFETでは、オン抵抗が $970\text{ m}\Omega\text{ cm}^2$ と大きかった。これに対し{03-38}Nチャネル縦型DIMOSFET50においてオン抵抗が小さかったのは、一つには 4 HSiC {03-38}を用いることによってMOSチャ

ネル移動度が大幅に向上したためである。このチャネル移動度の向上には、MOS界面の欠陥密度の低減と優れた平坦性の両方が寄与している。{0001} Nチャネル縦型DIMOSFETではチャネル移動度が極めて低いために、オン抵抗がドリフト領域の抵抗ではなく、MOSチャネル抵抗によって支配されてしまう。また、二つ目の重要な理由は、ソース領域54、およびオーム性電極の接触抵抗の差である。Nチャネル縦型DIMOSFETの作製時に同じウェーハ上に形成したテストパターンを評価した結果、今回のプロセスで形成したn型ソース領域のシート抵抗が4HSiC {0001} 面で $1260\Omega/\square$ 、4HSiC {03-38} 面で $110\Omega/\square$ であることが分かった。また、このソース領域への接触抵抗率は4HSiC {0001} 面で $9 \times 10^{-4}\Omega\text{cm}^2$ 、4HSiC {03-38} 面で $3 \times 10^{-5}\Omega\text{cm}^2$ であった。このように、4HSiC {03-38} 面を用いることによって、寄生抵抗成分を一桁以上低減できたことも、上記のMOSFET特性の向上に大きく寄与している。

【0066】次に、この3mm角のDIMOSFETにつき、ゲート電圧0V時（オフ状態）のドレイン耐圧を調べたところ、{0001} Nチャネル縦型DIMOSFETで1720V、{03-38} Nチャネル縦型DIMOSFET50で2680Vとなり、大きな差が見られた。これは4HSiC {03-38} を用いることによってデバイス活性領域となるSiCエピタキシャル成長層中52の欠陥密度、特にマイクロパイプ密度が低減されたからであると考えられる。この3mm角の{03-38} Nチャネル縦型DIMOSFET50では、ゲート電圧15V、ドレイン電圧3.8Vで10A以上のオン電流を流すことができた。

【0067】（第5適用例）イオン注入層を適用した第5の例は、高周波MESFETである。本発明に係るイオン注入層を適用して、図20に示す高周波MESFET70を製造した。高周波MESFET70の製造方法について説明する。

【0068】用いた基板71は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製した。基板71はアンドープ成長によって作製した高抵抗ウェーハで、電流-電圧特性から概算した抵抗率は $10^5\Omega\text{cm}$ であり、厚さは280~320 μm である。基板71の面方位は、{03-38}である。この基板71上に、CVD法によってアンドープのバッファ層72a、窒素(N)ドーパント型チャネル層72bを連続的にエピタキシャル成長した。バッファ層72aの実効ドナー密度は $1 \times 10^{14}/\text{cm}^3$ 以下、膜厚は5 μm 、チャネル層のドナー密度は $3 \times 10^{17}/\text{cm}^3$ 、膜厚は0.2 μm である。CVD法によるバッファ層72aの主な成長条件は、以下の通りである。導入する気体流量を、SiH₄については0.30sccm、C₃

H₈については0.50sccm、H₂については3.0slmとし、基板温度1520℃で120分間成長させる。また、CVD法によるチャネル層72bの主な成長条件は、以下の通りである。導入する気体流量を、SiH₄については0.15sccm、C₃H₈については0.10sccm、N₂については $2 \times 10^{-2}\text{sccm}$ 、H₂については3.0slmとし、基板温度1520℃で10分間成長させる。

【0069】このようにして作製したSiCエピタキシャルウェーハを用いて、図20に示す構造の高周波MESFET70を作製した。まず、蒸着とフォトリソグラフィによって形成したA1（厚さ1.5 μm ）をマスクに用いて、反応性イオンエッチング（RIE）によって素子分離のための溝を形成した。RIEにはSF₆とO₂をエッチングガスに使い、圧力0.08Torr、高周波電力120Wの条件で行った。このときのエッチング速度は約60nm/minであり、20分間のエッチングによって深さ約1.2 μm の溝を形成した。次に、このRIEに用いたA1マスクをパターンニングすることによってイオン注入用のマスクとし、窒素(N)イオンを注入して低抵抗n型のソース領域74、ドレイン領域73を形成した。Nイオン注入は70keV、40keV、25keV、10keVの4段階で行い、総ドーズ量は $3 \times 10^{15}/\text{cm}^2$ である。イオン注入は室温で行い、注入イオン活性化のための熱処理はアルゴンガス雰囲気中1200℃、30分の条件で行った。さらに、ソース領域74、ドレイン領域73のオーム性電極としてニッケル(Ni: 200nm)を蒸着し、リフトオフ・プロセスによりパターンを形成した後、900℃、10分間の熱処理を加えた。

【0070】次に、電子線露光とリフトオフ・プロセスを用いて微細なショットキーゲート電極77を形成した。ゲート電極材料にはチタン/プラチナ/金(Ti: 10nm、Pt: 120nm、Au: 350nm)を用い、電極77を形成した後、400℃、20分間の熱処理を行ってショットキー電極77の安定化を図った。ソース電極76、ドレイン電極75上に厚さ800nmのA1を堆積した後、GaAsMESFETの作製で用いられるプロセスによってAuのエアブリッジを作製し、ソース・フィンガーを接続した。作製した高周波MESFET70のゲート長は0.4 μm 、ゲート幅は900 μm 、ソース・ゲート間距離は0.4 μm 、ゲート・ドレイン間距離は1.2 μm である。

【0071】次に、作製された図20に示す高周波MESFET70の特性について説明する。ここでは、{03-38}面方位イオン注入層を適用した高周波MESFET（以下、「{03-38}高周波MESFET」という）70の特性を、{0001}面方位イオン注入層を適用した高周波MESFET（以下、「{0001}高周波MESFET」という）と比較して説明す

る。なお、{0001} 高周波MESFETの製造方法は、{03-38} 高周波MESFET70の製造方法と基本的に同じであるが、チャネル層を成長させる際に導入するN₂の流量が 1×10^{-3} sccmである点が異なる。

【0072】作製した高周波MESFETのドレイン特性には明確な線形領域と飽和領域が見られ、MESFETとしての動作が確認された。MESFETの典型的なドレイン特性を図21(a)及び(b)に示す。MESFETの直流特性の性能指標となる相互コンダクタンス g_m を見積もると、ゲート電圧0V、ドレイン電圧10Vの条件において{0001} 高周波MESFETで $g_m = 58 \text{ mS/mm}$ 、{03-38} 高周波MESFET70では $g_m = 74 \text{ mS/mm}$ となった。この違いは主に、ソース領域64、およびオーム性電極の接触抵抗の差に起因すると考えられる。高周波MESFETの作製時に同じウェーハ上に作製したテストパターンを評価した結果、今回のプロセスで形成したn型ソース領域のシート抵抗が4HSiC{0001}面で $1830 \Omega/\square$ 、4HSiC{03-38}面で $186 \Omega/\square$ であることが分かった。また、このソース領域への接触抵抗率は4HSiC{0001}面で $8 \times 10^{-4} \Omega \text{ cm}^2$ 、4HSiC{03-38}面で $3 \times 10^{-6} \Omega \text{ cm}^2$ であった。このように、4HSiC{03-38}面を用いることによって、寄生抵抗成分を一桁以上低減できたことも、上記のMESFET特性の向上に大きく寄与している。オフ時のドレイン耐圧は{0001} 高周波MESFETで120V、{03-38} 高周波MESFET70では155Vであった。これは、4HSiC{03-38}面を用いることによって、基板71からのマイクロパイプやらせん転位の貫通が抑制され、高品質SiC結晶が得られたからであると考えられる。また、4HSiC{03-38}面を用いることによって成長表面の平坦性が良くなり、ショットキー電極77/SiC界面での電界集中が低減されるという効果も寄与していると思われる。

【0073】次に、このMESFETの高周波特性をオン・ウェーハのマイクロ波測定装置で評価した結果を図22に示す。ドレイン電圧50Vの条件でテストしたときの遮断周波数 f_t と最高発振周波数 f_{max} を求めた{0001} 高周波MESFETでは $f_t = 6.2 \text{ GHz}$ 、 $f_{\text{max}} = 16 \text{ GHz}$ 、{03-38} 高周波MESFET70では $f_t = 16 \text{ GHz}$ 、 $f_{\text{max}} = 43 \text{ GHz}$ と見積もられ、{03-38} 高周波MESFETの方が優れた特性が得られた。また、周波数3GHzでの性能テストを行った結果、最高パワー密度が{0001} 高周波MESFETで 2.1 W/mm (トータルパワー1.8W)、{03-38} 高周波MESFET70で 3.4 W/mm (トータルパワー3.1W)となり、やはり{03-38} 高周波MESFETの方が高い出力

が得られた。このように、4HSiC{03-38}面を用いることによって優れた高周波特性が得られたのは、上述のように、ソース領域74、およびオーム性電極の接触抵抗などの寄生抵抗が大幅に低減できるからである。

【0074】(第6適用例) イオン注入層を適用した第6の例は、スーパージャンクション(SJ)構造のショットキーダイオードである。本発明に係るイオン注入層を適用して、図23に示すSJ構造のショットキーダイオード80を製造した。SJ構造のショットキーダイオードについて説明する。Siパワーデバイスでは、単一のpn接合、あるいはショットキー障壁の逆バイアス状態を用いてオフ状態(高耐圧の維持)を実現しているのに対し、SJ構造では通常のpn接合(あるいはショットキー障壁)のn型領域に、高電圧が印加される方向とは垂直方向に多層のpn接合が形成される。オフ状態では、これら多層pn接合が互いに逆バイアスになるので、空乏層が二次元的に広がる。このとき、適切に空乏層内の空間電荷分布を設計すれば、ドリフト領域内の電界分布を均一にできる。この結果、比較的高濃度ドーピングを行った低抵抗層を用いても高い耐圧を維持できるようになり、高耐圧かつ低オン抵抗のパワーデバイスを実現することが出来る。このSJ構造は古くから提唱されていたが、当時は多層pn接合を制御良く作製する技術が確立されていなかったので実用化はされなかった。最近の半導体加工技術の進展によって、このような多層pn接合の形成と空間電荷分布の精密制御が可能になり、SiパワーMOSFETの分野で実用化が進められている。このSJ構造がSiCに対しても有効であるのは明らかである。

【0075】次に、SJ構造のショットキーダイオードの製造方法について説明する。デバイス作製に用いた基板81は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製した。基板81は全てn型で、ホール効果測定によって求めたキャリア密度は $1 \sim 2 \times 10^{19} / \text{cm}^3$ 、厚さは $160 \sim 210 \mu\text{m}$ である。このデバイスでは縦方向に電流を流すため、基板81の抵抗を下げ、かつ薄い基板81を用いるのが有効である。この基板81の{03-38}面上に、CVD法によって窒素ドーパ型SiC層をエピタキシャル成長した。成長層はバッファ層82とドリフト層83からなり、バッファ層82はドナー密度 $1 \sim 5 \times 10^{17} / \text{cm}^3$ 、膜厚は $2 \mu\text{m}$ 、ドリフト層83はドナー密度 $4 \times 10^{16} / \text{cm}^3$ 、膜厚は $3.5 \mu\text{m}$ である。CVD法によるバッファ層82の主な成長条件は、以下の通りである。導入する気体流量を、SiH₄については 0.30 sccm 、C₃H₈については 0.30 sccm 、N₂については $1 \times 10^{-2} \text{ sccm}$ 、H₂については 3.0 slm とし、基板温度 1520°C で45分間成長させる。また、CVD法によるドリフト層83の主

な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.50 sccm 、 C_3H_8 については 0.50 sccm 、 N_2 については $2 \times 10^{-3}\text{ sccm}$ 、 H_2 については 3.0 slm とし、基板温度 1520°C で60分間成長させる。

【0076】このSiCエピウェハ上に減圧CVD法によって厚さ $6\mu\text{m}$ の SiO_2 膜を堆積した。この SiO_2 膜上にAlを蒸着し、フォトリソグラフィによって幅 $2\mu\text{m}$ のストライプ状のパターンを形成した。このAlパターンをマスクとして、 CF_4 と O_2 ガスを用いた反応性イオンエッチングによって SiO_2 膜を選択的にエッチングした。次に、ストライプ状のパターンに加工された SiO_2 膜をマスクとして高エネルギーイオン注入を行い、n型成長層（ドリフト層）83の一部をp型に変換した。高エネルギーイオン注入によって成長層を貫通する深いp型領域83aを形成した。注入イオンはAl+であり、注入エネルギーは $30\text{ keV} \sim 6500\text{ keV}$ の15段階でトータルドーズ量は、 $3 \times 10^{13}/\text{cm}^2$ である。イオン注入時の試料加熱は行わない。注入イオン活性化のための熱処理はアルゴンガス雰囲気中 1600°C 、30分の条件で行った。このイオン注入によって、幅約 $2\mu\text{m}$ のストライプ状の注入領域はアクセプタ密度が約 $4 \times 10^{16}/\text{cm}^3$ のp型（深さ約 $3.5\mu\text{m}$ ）となり、SJ構造が形成される。

【0077】このようにして作製したSJ構造を有するSiCエピタキシャルウェハを用いて、図23に示す構造のSJショットキーダイオード80を作製した。まず、ショットキー電極端部での電界集中、絶縁破壊を抑制するために、ショットキー電極の周囲に幅 $150\mu\text{m}$ 、深さ $0.5\mu\text{m}$ のp型ガードリング84を設けた。ガードリング84は、ホウ素（B）イオン注入によって形成した。Bイオン注入のエネルギーは $30 \sim 280\text{ keV}$ でトータルドーズ量は $1.1 \times 10^{13}/\text{cm}^2$ である。イオン注入のマスクには、Al（厚さ $4\mu\text{m}$ ）、あるいはCVDにより形成した SiO_2 膜（厚さ $5\mu\text{m}$ ）を用いた。注入イオン活性化のための熱処理はアルゴンガス雰囲気中 1500°C 、30分の条件で行った。アニールの後、 1150°C 、2時間のウェット酸化により熱酸化膜87を形成し、さらに、CVDによって厚さ 80 nm のSiN膜88を堆積した。

【0078】次に、裏面にNi（厚さ 200 nm ）を蒸着し、 1000°C 、20分間の熱処理を行ってオーミック電極90を形成した。続いて、表面側にTi/Al（Ti： 200 nm /Al： 850 nm ）を蒸着し、ショットキー電極86を形成した。ショットキー電極86は、 500°C 、30分間の熱処理を行って安定化させた。ダイオードの表面はポリイミド89を塗布して保護した。ショットキー電極86とガードリング84の重なりは $20\mu\text{m}$ であり、ショットキー電極86の直径は 3 mm φである。

【0079】次に、作製された図23に示すSJショットキーダイオード80の特性について説明する。ここでは、{03-38}面方位イオン注入層を適用したSJショットキーダイオード（以下、「{03-38}SJショットキーダイオード」という）80の特性を、{0001}面方位イオン注入層を適用したSJショットキーダイオード（以下、「{0001}SJショットキーダイオード」という）と比較して説明する。なお、{0001}SJショットキーダイオードの製造方法は、{03-38}SJショットキーダイオード80の製造方法と基本的に同じであるが、バッファ層82を成長させる際に導入する N_2 の流量が $8 \times 10^{-2}\text{ sccm}$ である点、ドリフト層83を成長させる際に導入する N_2 の流量が $1 \times 10^{-2}\text{ sccm}$ である点が異なる。

【0080】図24は、SJショットキーダイオード（ 3 mm φ）の典型的な電流-電圧特性を示す図である。順方向特性は、結晶の面方位依存性は小さく、オン抵抗 $0.5 \sim 0.7\text{ m}\Omega\text{ cm}^2$ という良好な値が得られた。順方向特性の片対数プロットから求めた理想因子n値は、 $1.02 \sim 1.05$ であり障壁高さは{0001}SJショットキーダイオードで 1.09 eV 、{03-38}SJショットキーダイオード80で 1.18 eV となった。これに対して、逆方向特性では用いた面方位によって大きな差が見られた。{0001}SJショットキーダイオードでは、最高耐圧が 580 V 、平均耐圧が 362 V に留まっているのに対し、{03-38}SJショットキーダイオード80では、最高耐圧が 764 V 、平均耐圧が 612 V となり、優れた特性が得られた。また、耐圧だけでなく、 -300 V 印加時のリーク電流密度の平均値を電極直径 3 mm φのダイオードと比較すると、{0001}SJショットキーダイオードでは $3 \times 10^{-1}\text{ A}/\text{cm}^2$ 、{03-38}SJショットキーダイオード80では $1 \times 10^{-4}\text{ A}/\text{cm}^2$ となり、三桁以上の差が認められた。これは、4HSiC {03-38}面を用いることによって、基板81からのマイクロパイプやらせん転位の貫通が抑制され、高品質SiC結晶が得られたからであると考えられる。また、4HSiC {03-38}面を用いることによって、成長表面、及びイオン注入によって形成されたSJ部、及びガードリング84部の平坦性が良くなり、ショットキー電極/SiC界面での電極集中が低減されるという効果も寄与していると思われる。この実施例では、Bイオン注入によってガードリング84を形成したが、Alイオン注入を用いた場合でも同様の効果がある。イオン注入によって形成されたSJ構造を4HSiC {03-38} MOSFETに適用すれば、高耐圧、低損失の優れたパワートランジスタを実現できる。

【0081】以上、本発明の実施形態について詳細に説明してきたが、本発明は上記実施形態に限定されるものではない。

【0082】上記実施形態においては、窒素(N)、燐(P)、アルミ(Al)、ホウ素(B)イオンを注入したイオン注入層について説明したが、例えば、砒素(As)やガリウム(Ga)、インジウム(In)等の上記以外のイオンを注入することとしても良い。

【0083】

【発明の効果】本発明によれば、イオン注入層が{03-38}面から 10° 以内の角度 α のオフ角を有する面方位に広がることによって、結晶の乱れが少ないイオン注入層を実現することができる。

【図面の簡単な説明】

【図1】イオン注入層を説明するための図である。

【図2】イオン注入層のRBSスペクトルを示す図である。

【図3】イオン注入層のシート抵抗の注入ドーズ量依存性を示す図である。

【図4】イオン注入層における注入イオンの電気的活性化率のアニール温度依存性を示す図である。

【図5】イオン注入層のシート抵抗のアニール温度依存性を示す図である。

【図6】イオン注入層の接触抵抗率のアニール温度依存性を示す図である。

【図7】イオン注入層のシート抵抗の注入層アニール温度依存性を示す図である。

【図8】イオン注入層の接触抵抗率の注入層アニール温度依存性を示す図である。

【図9】イオン注入層が適用されたショットキーダイオードを示す図である。

【図10】ショットキーダイオードの電流-電圧特性を示す図である。

【図11】ショットキーダイオードの耐圧(平均値)の電極面積依存性を示す図である。

【図12】イオン注入層が適用されたプレーナ型pnダイ

オードを示す図である。

【図13】プレーナ型pnダイオード(3mm角)の電流-電圧特性を示す図である。

【図14】プレーナ型pnダイオードに順方向電流を長時間流したときの順方向電圧降下をプロットした図である。

【図15】イオン注入層が適用されたNチャネル反転MOSFETを示す図である。

【図16】Nチャネル反転MOSFETのゲート特性を示す図である。

【図17】イオン注入層が適用されたNチャネル縦型DIMOSFETを示す図である。

【図18】低ドレイン電圧領域における縦型DIMOSFET(3mm角)のドレイン特性を示す図である。

【図19】高ドレイン電圧領域における縦型DIMOSFET(3mm角)のドレイン特性を示す図である。

【図20】イオン注入層が適用された高周波MESFETを示す図である。

【図21】(a)、(b)は、高周波MESFETの典型的なドレイン特性を示す図である。

【図22】高周波MESFETの高周波特性をオン・ウェーハのマイクロ波測定装置で評価した結果を示す図である。

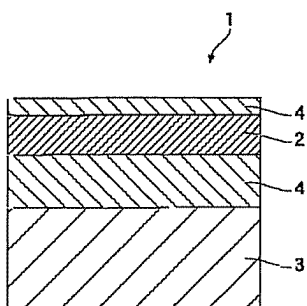
【図23】イオン注入層が適用されたSJショットキーダイオードを示す図である。

【図24】SJショットキーダイオード(3mm ϕ)の電流-電圧特性を示す図である

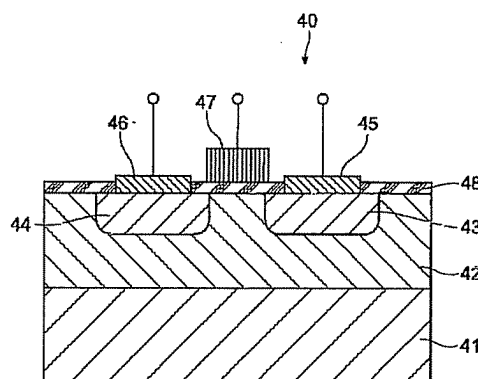
【符号の説明】

10…ショットキーダイオード、11…基板、12…窒素ドーブn型SiC層、12a…バッファ層、12b…ドリフト層、14…ガードリング、16…ショットキー電極、17…ポリイミド、18…オーミック電極、19…酸化膜。

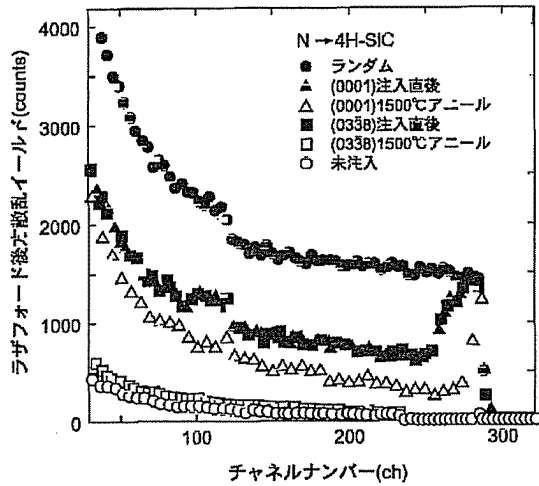
【図1】



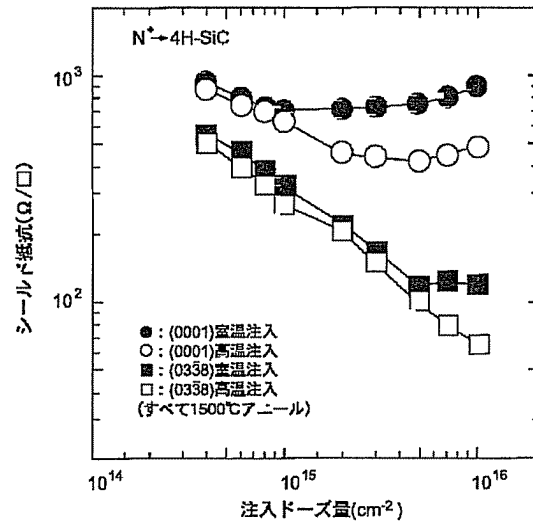
【図15】



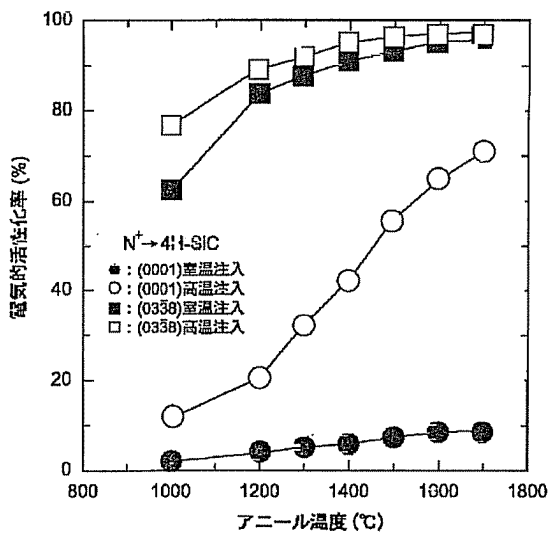
【図2】



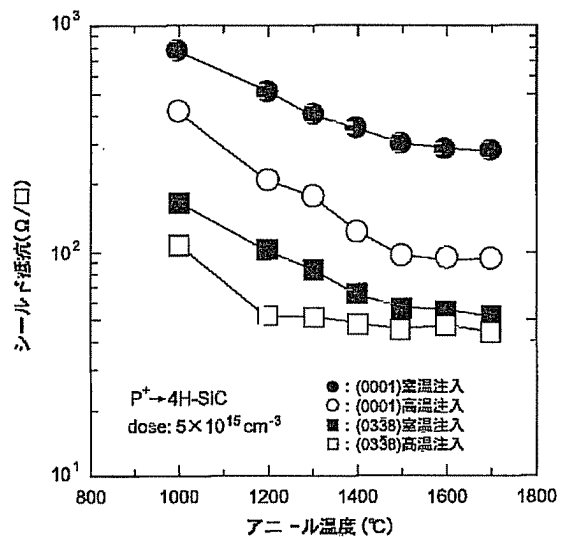
【図3】



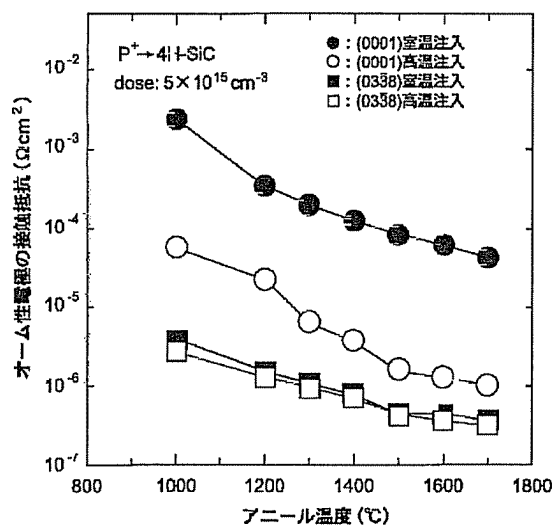
【図4】



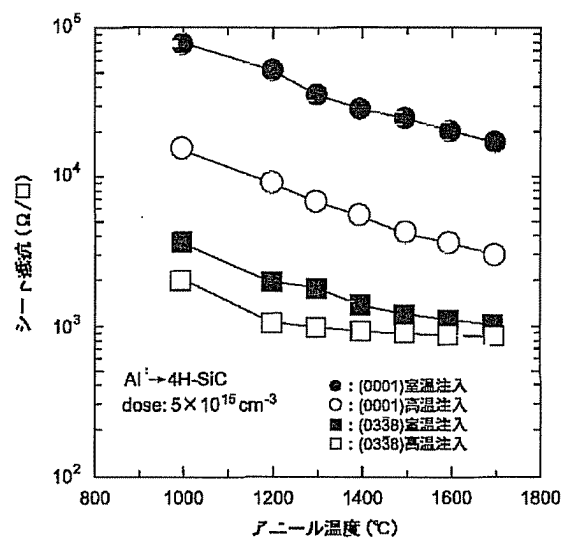
【図5】



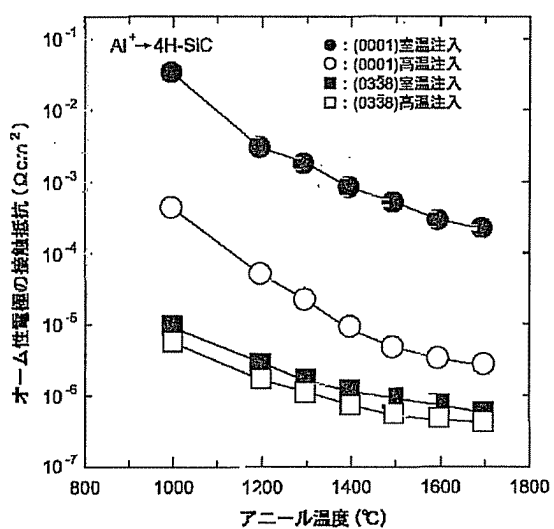
【図6】



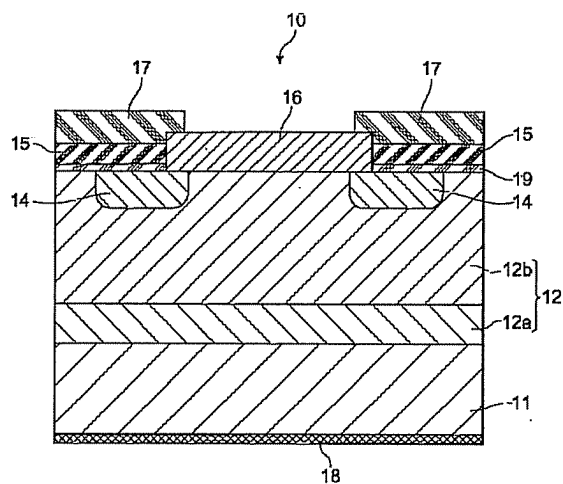
【図7】



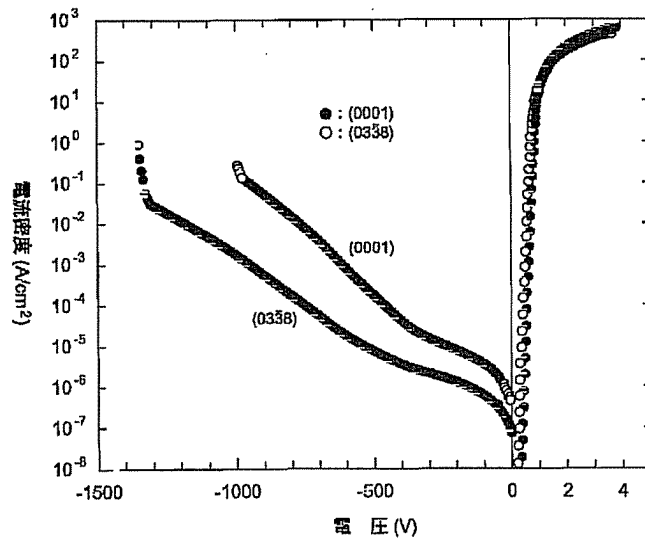
【図8】



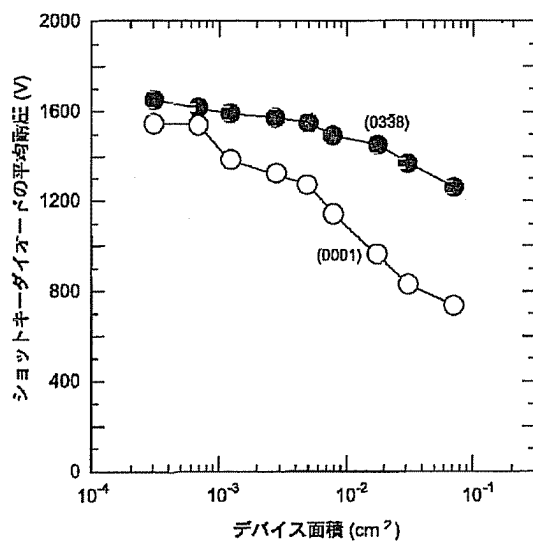
【図9】



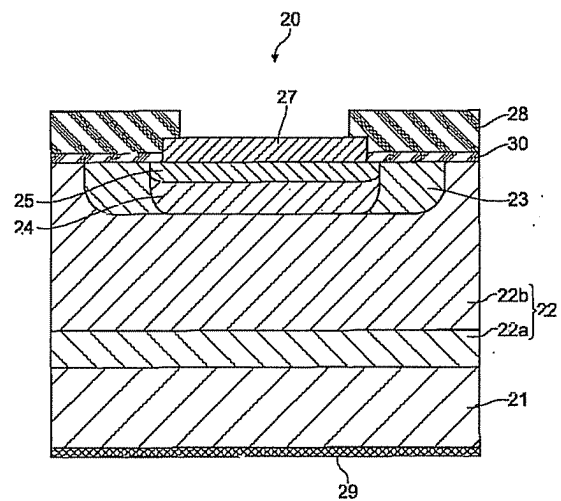
【図10】



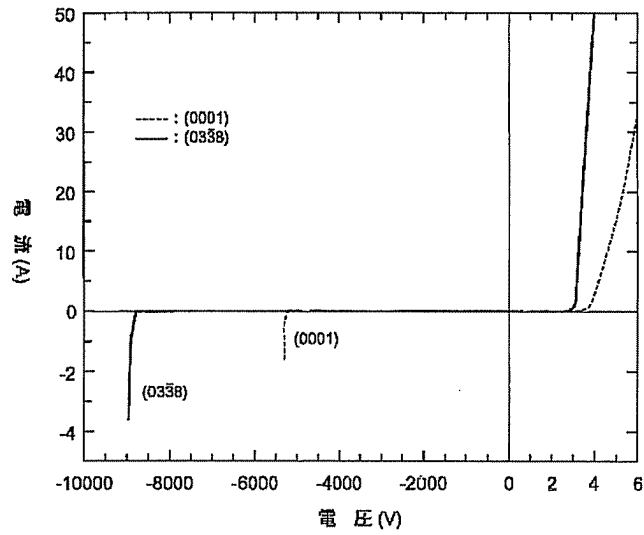
【図11】



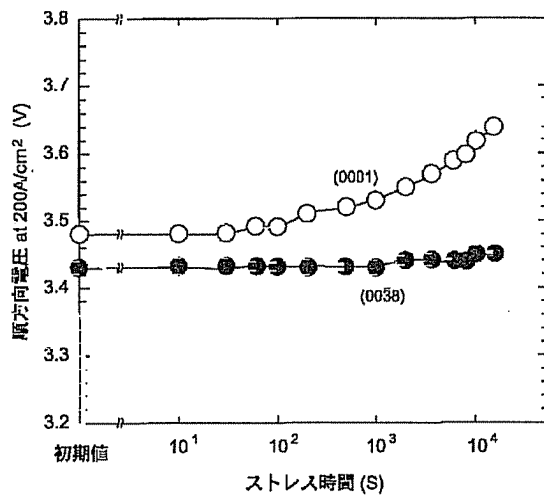
【図12】



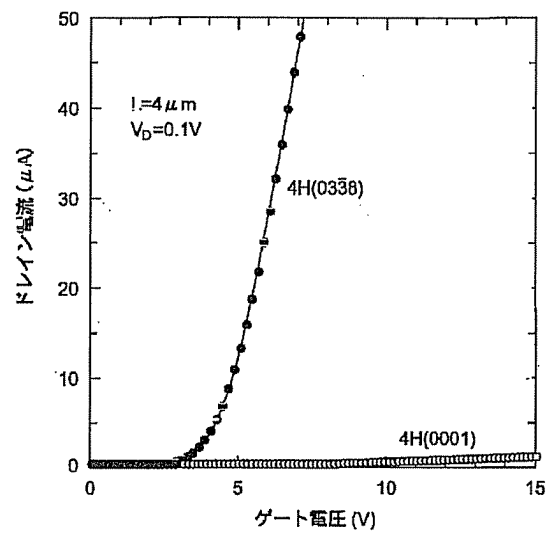
【図13】



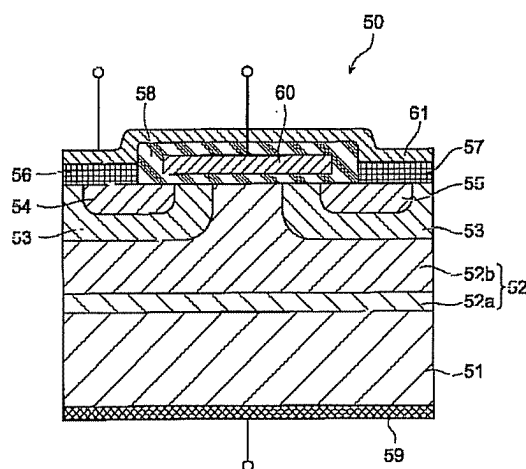
【図14】



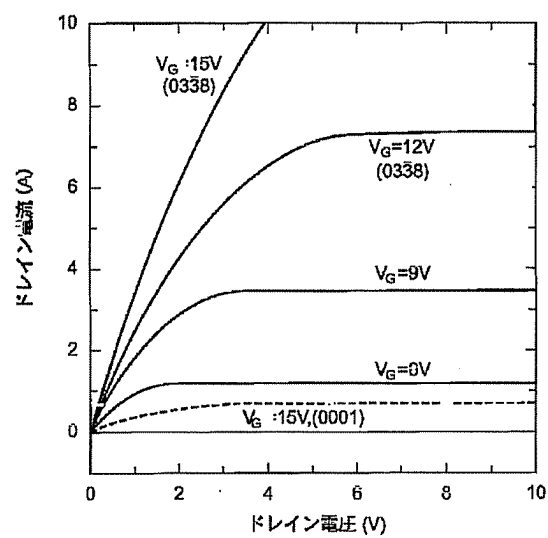
【図16】



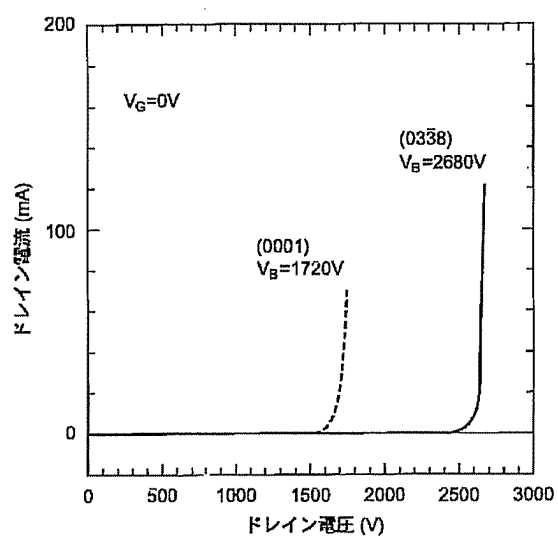
【図17】



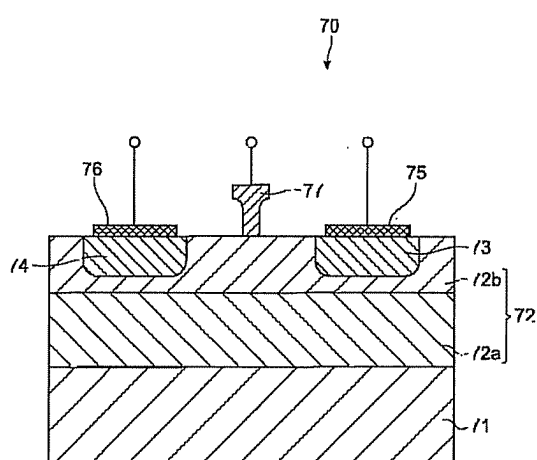
【図18】



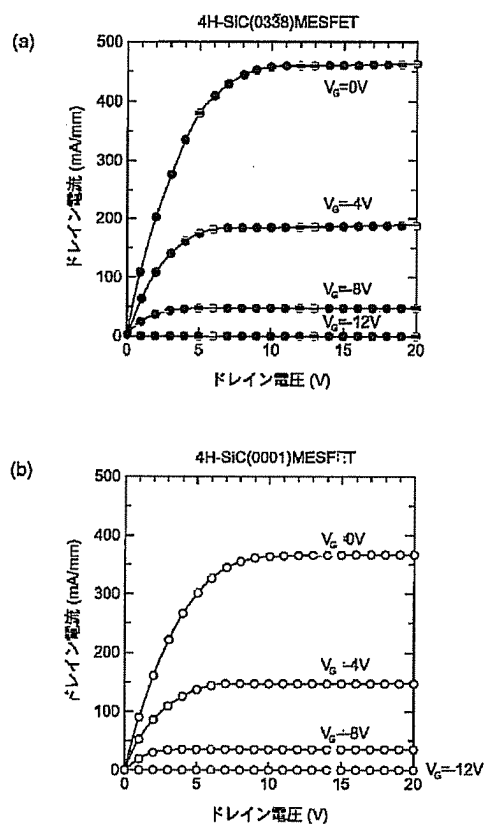
【図19】



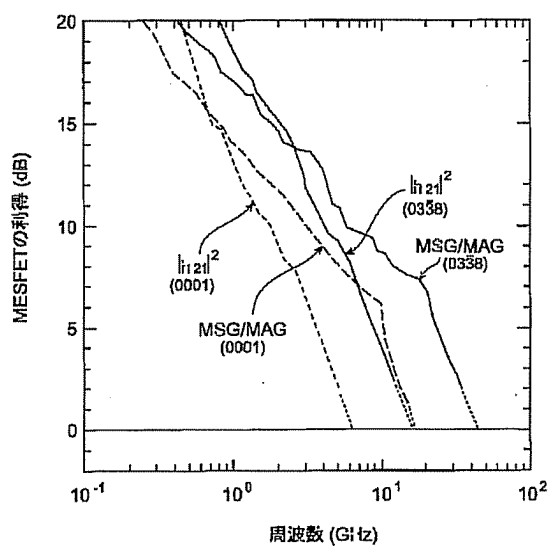
【図20】



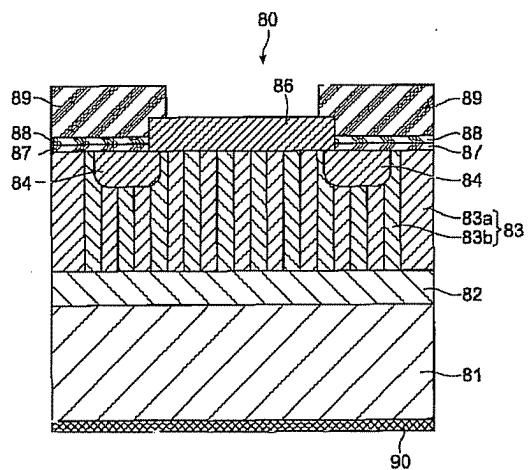
【図21】



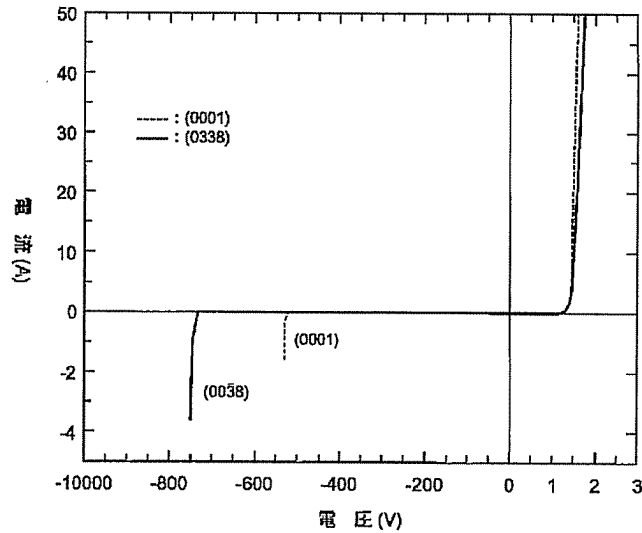
【図22】



【図23】



【図24】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	(参考)
H 0 1 L 29/78	6 5 2	H 0 1 L 29/78	3 0 1 B
21/336			3 0 1 Q
21/338			6 5 8 A
29/812		29/80	B
21/329		29/91	A
29/861			F
(71) 出願人 000005979		F ターム(参考)	4G077 AA03 BE08 DB01 ED05 ED06
三菱商事株式会社			FD02 FE11 TK06
東京都千代田区丸の内2丁目6番3号			4M104 AA03 BB14 CC03 DD26 FF35
(72) 発明者 木本 恒暢			GG03
京都府京都市伏見区桃山町松平筑前エルシ			5F102 GB01 GC01 GD01 GJ02 GR01
ティ桃山筑前605			GS02 GS04 GT03 HC01 HC07
(72) 発明者 塩見 弘			HC16
大阪府吹田市原町1-6-19			5F140 AA00 AA27 BA02 BA16 BA20
(72) 発明者 松波 弘之			BE02 BE03 BE07 BE17 BF01
京都府八幡市西山足立1-9			BF04 BG28 BG31 BG38 BH21
			BJ07 BJ11 BJ15 BK13 BK21